



[12] 发明专利说明书

专利号 ZL 02143383.6

[45] 授权公告日 2005 年 7 月 27 日

[11] 授权公告号 CN 1212671C

[22] 申请日 2002.9.26 [21] 申请号 02143383.6

[30] 优先权

[32] 2001.10.22 [33] US [31] 09/682,811

[71] 专利权人 联华电子股份有限公司

地址 台湾省新竹市

[72] 发明人 柯明道 洪根刚 唐天浩

审查员 赵 煜

[74] 专利代理机构 北京三友知识产权代理有限公司

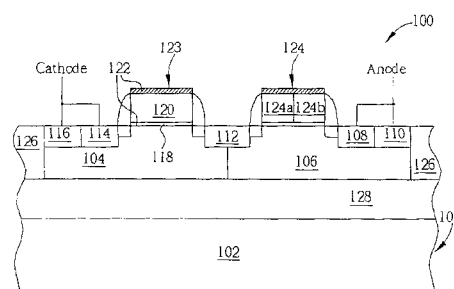
代理人 陈 红

权利要求书 9 页 说明书 24 页 附图 12 页

[54] 发明名称 设于硅覆绝缘中的硅控整流器及其应用电路 ESD 防护目的。

[57] 摘要

一种设于硅覆绝缘中的硅控整流器及其应用电路，该 SOI-SCR 可为 SOI-NSCR 或 SOI-PSCR；SOI-NSCR 包含有一 P 型井与一 N 型井；一第一 P⁺ 掺杂区及一第一 N⁺ 掺杂区，设于 N 型井并电连接一阳极；一第二 P⁺ 掺杂区及一第二 N⁺ 掺杂区，设于 P 型井并电连接一阴极，且第一 P⁺ 掺杂区、N 井、P 型井及第二 N⁺ 掺杂区构成一横向 SCR；一第三 N⁺ 掺杂区，横跨部分的 N 井及 P 型井；一栅极，设于 P 型井中并与第三 N⁺ 掺杂区及第二 N⁺ 掺杂区构成一 NMOS；一个虚置栅极，设于 N 型井中；加压于该 NMOS 的栅极并打开该 NMOS 时，于 N 型井至 P 型井形成一顺向偏压而开启该 SOI-NSCR；加压于第三 N⁺ 掺杂区，一触发电流使该横向 SCR 进入锁定状态，而开启该 SOI-NSCR；本发明可使 SCR 装置更为紧密，亦可加速其开启以达到



ISSN 1008-4274

1. 一种设于硅覆绝缘基底的 NMOS 触发硅控整流器, 其特征是: 该 SOI-NSCR 包含有:

一 P 型井与一 N 型井, 设于该硅覆绝缘基底表面的一单晶硅层中;

5 一第一 P⁺掺杂区域以及一第一 N⁺掺杂区域, 设于该 N 型井中, 用来当作该 SOI-NSCR 的阳极;

一第二 P⁺掺杂区域以及一第二 N⁺掺杂区域, 设于该 P 型井中, 用来当作该 SOI-NSCR 的阴极, 且该第一 P⁺掺杂区域、该 N 井、该 P 型井以及该第二 N⁺掺杂区域构成一横向 SCR;

10 一第三 N⁺掺杂区域, 横跨部分的该 N 型井以及该 P 型井;

一栅极, 设于该 P 型井中, 并与该第三 N⁺掺杂区域以及该第二 N⁺掺杂区域构成一 NMOS; 以及

一虚置栅极, 设于该 N 型井中, 用来隔绝该第一 P⁺掺杂区域与第三 N⁺掺杂区域。

15 2. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 当一正瞬间电压跨接于该 SOI-NSCR 的该阳极与该阴极时, 该正瞬间电压会产生一自该第一 P⁺掺杂区域流至该 N 型井的电流。

3. 如权利要求 2 所述的 SOI-NSCR, 其特征是: 当该正瞬间电压高于该 P 型井与该第三 N⁺掺杂区域的接面的接面崩溃电压时, 该接面会崩溃,
20 以使该正瞬间电压的电流流过该接面并经由该第二 N⁺掺杂区域而被释放至该阴极。

4. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 加压于该 NMOS 的栅极并开启该 NMOS 时, 会造成一顺向偏压而开启该 SOI-NSCR, 以使跨接于该阳极与该阴极的正瞬间电压的电流流过该接面而被释放至该阴极。

25 5. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 该第三 N⁺掺杂区域用来当作一 N 型触发点, 当加压于该第三 N⁺掺杂区域时, 会相对产生一触发

电流流过该 N 型触发点, 以使该横向 SCR 进入一锁定状态而触发该横向 SCR, 并迅速开启该 SOI-NSCR, 以使跨接于该阳极与该阴极的正瞬间电压的电流流过该接面而被释放至该阴极。

6. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 当一负瞬间电压跨接于该 SOI-NSCR 元件的该阳极与该阴极之间时, 该负瞬间电压会产生一自该第二 P⁺掺杂区域流至该 P 型井的电流, 并于该 P 型井与该 N 型井的接面形成一顺向偏压, 以使该负瞬间电压的电流流过该 N 型井并经由该第一 N⁺掺杂区域而被释放至该阳极。

7. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 该第三 N⁺掺杂区域与该 P 型井的接面, 用来降低该 SOI-NSCR 的触发电压。

8. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 该 P 型井与该第三 N⁺掺杂区域的接面崩溃电压低于该 P 型井与该 N 型井的接面崩溃电压。

9. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 另包含有多个侧壁子环绕于各该栅极周围。

10. 如权利要求 9 的 SOI-NSCR, 其特征是: 另包含有多个轻掺杂区域设于各该栅极周围的各该侧壁子下方。

11. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 该第一、该第二 P⁺掺杂区域以及该第一、该第二 N⁺掺杂区域不与该硅覆绝缘基底中的绝缘层相接触, 以使该 SOI-NSCR 得以整合于一部分空乏型 SOI CMOS 制程。

12. 如权利要求 1 所述的 SOI-NSCR, 其特征是: 该第一、该第二 P⁺掺杂区域以及该第一、该第二 N⁺掺杂区域相接触于该硅覆绝缘基底中的绝缘层, 以使该 SOI-NSCR 得以整合于一全空乏型 SOI CMOS 制程。

13. 一种设于硅覆绝缘基底的 PMOS 触发硅控整流器, 其特征是: 该 SOI-PSCR 包含有:

一 P 型井与一 N 型井, 设于该硅覆绝缘基底表面的一单晶硅层中;
一第一 P⁺掺杂区域以及一第一 N⁺掺杂区域, 设于该 N 型井中, 用来当

作该 SOI-PSCR 的阳极;

一第二 P⁺掺杂区域以及一第二 N⁺掺杂区域, 设于该 P 型井中, 用来当作该 SOI-PSCR 的阴极, 且该第一 P⁺掺杂区域、该 N 井、该 P 型井以及该第二 N⁺掺杂区域构成一横向 SCR;

5 一第三 P⁺掺杂区域, 横跨部分的该 N 型井以及该 P 型井;

一栅极, 设于该 N 型井中, 并与该第三 P⁺掺杂区域以及该第一 P⁺掺杂区域构成一 PMOS; 以及

一虚置栅极, 设于该 P 型井中, 用来隔绝该第二 N⁺掺杂区域与第三 P⁺掺杂区域。

10 14. 如权利要求 13 所述的 SOI-PSCR, 其特征是: 当一正瞬间电压跨接于该 SOI-PSCR 的该阳极与该阴极时, 该正瞬间电压会产生一自该第一 P⁺掺杂区域流至该 N 型井的电流。

15 15. 如权利要求 14 所述的 SOI-PSCR, 其特征是: 当该正瞬间电压高于该 N 型井与该第三 P⁺掺杂区域的接面的接面崩溃电压时, 该接面会崩溃, 以使该正瞬间电压的电流流过该接面并经由该第二 N⁺掺杂区域而被释放至该阴极。

16. 如权利要求 13 所述的 SOI-PSCR, 其特征是: 加压于该 PMOS 的栅极并开启该 PMOS 时, 会造成一顺向偏压而开启该 SOI-PSCR, 以使跨接于该阳极与该阴极的正瞬间电压的电流流过该接面而被释放至该阴极。

20 17. 如权利要求 13 所述的 SOI-PSCR, 其特征是: 该第三 P⁺掺杂区域用来当作一 P 型触发点, 当加压于该第三 P⁺掺杂区域时, 会相对产生一触发电流流过该 P 型触发点, 以使该横向 SCR 进入一锁定状态而触发该横向 SCR, 并迅速开启该 SOI-PSCR, 以使跨接于该阳极与该阴极的正瞬间电压的电流流过该接面而被释放至该阴极。

25 18. 如权利要求 13 所述的 SOI-PSCR, 其特征是: 当一负瞬间电压跨接于该 SOI-PSCR 元件的该阳极与该阴极之间时, 该负瞬间电压会产生一自该第二 P⁺掺杂区域流至该 P 型井的电流, 并于该 P 型井与该 N 型井的接面

形成一顺向偏压,以使该负瞬间电压的电流流过该N型井并经由该第一N⁺掺杂区域而被释放至该阳极。

19. 如权利要求13所述的SOI-PSCR,其特征是:该第三P⁺掺杂区域与该N型井的接面,用来降低该SOI-PSCR的触发电压。

5 20. 如权利要求13所述的SOI-PSCR,其特征是:该N型井与该第三P⁺掺杂区域的接面崩溃电压低于该第P型井与该N型井的接面崩溃电压。

21. 如权利要求13所述的SOI-PSCR另包含有多个侧壁子环绕于各该栅极周围。

22. 如权利要求21的SOI-PSCR另包含有多个轻掺杂区域设于各该栅
10 极周围的各该侧壁子下方。

23. 如权利要求13所述的SOI-PSCR,其特征是:该第一、该第二P⁺掺杂区域以及该第一、该第二N⁺掺杂区域不与该硅覆绝缘基底中的绝缘层相接触,以使该SOI-PSCR得以整合于一部分空乏型SOI CMOS制程。

24. 如权利要求13所述的SOI-PSCR,其特征是:该第一、该第二P⁺
15 掺杂区域以及该第一、该第二N⁺掺杂区域相接触于该硅覆绝缘基底中的绝缘层,以使该SOI-PSCR得以整合于一全空乏型SOI CMOS制程。

25. 一种静电放电防护电路,该ESD防护电路电连接于一缓冲垫、一V_{ss}电源接脚以及一V_{DD}电源接脚,其特征是:该ESD防护电路包含有:

一形成于硅覆绝缘基底的NMOS触发硅控整流器,该SOI-NSCR的阳
20 极电连接至该缓冲垫,该SOI-NSCR的阴极电连接至该V_{ss}电源接脚;

一形成于硅覆绝缘基底的PMOS触发硅控整流器,该SOI-PSCR的阳极电连接至该V_{DD}电源接脚,该SOI-PSCR的阴极电连接至该缓冲垫;

一第一二极管,该第一二极管的正极电连接至该V_{ss}电源接脚,该第一二极管的负极电连接至该缓冲垫;以及

25 一第二二极管,该第二二极管的正极电连接至该缓冲垫,该第二二极管的负极电连接至该V_{DD}电源接脚。

26. 如权利要求25所述的ESD防护电路,其特征是:该SOI-NSCR

包含有:

一第一 P 型井与一第一 N 型井, 设于一硅覆绝缘基底表面的一单晶硅层中;

5 一第一 P⁺掺杂区域以及一第一 N⁺掺杂区域, 设于该第一 N 型井中, 用来当作该 SOI-NSCR 的阳极;

一第二 P⁺掺杂区域以及一第二 N⁺掺杂区域, 设于该第一 P 型井中, 用来当作该 SOI-NSCR 的阴极, 且该第一 P⁺掺杂区域、该第一 N 井、该第一 P 型井以及该第二 N⁺掺杂区域构成一横向 SCR;

一第三 N⁺掺杂区域, 横跨部分的该第一 N 型井以及该第一 P 型井;

10 一第一栅极, 设于该第一 P 型井中, 并与该第三 N⁺掺杂区域以及该第二 N⁺掺杂区域构成一 NMOS; 以及

一第一虚置栅极, 设于该第一 N 型井中, 用来隔绝该第一 P⁺掺杂区域与第三 N⁺掺杂区域。

27. 如权利要求 26 所述的 ESD 防护电路, 其特征是: 另包含有一第一电阻用来电连接该缓冲垫与该第一虚置栅极, 以及一第二电阻用来电连接该 V_{ss} 电源接脚与该第一栅极。

28. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 该 SOI-PSCR 包含有:

20 一第二 P 型井与一第二 N 型井, 设于该硅覆绝缘基底表面的该单晶硅层中;

一第三 P⁺掺杂区域以及一第四 N⁺掺杂区域, 设于该第二 N 型井中, 用来当作该 SOI-PSCR 的阳极;

一第四 P⁺掺杂区域以及一第五 N⁺掺杂区域, 设于该第二 P 型井中, 用来当作该 SOI-PSCR 的阴极, 且该第三 P⁺掺杂区域、该第二 N 型井、该第二 P 型井以及该第五 N⁺掺杂区域构成一横向 SCR;

一第五 P⁺掺杂区域, 横跨部分的该第二 N 型井以及该第二 P 型井;

一第二栅极, 设于该第二 N 型井中, 并与该第五 P⁺掺杂区域以及该第

三 P⁺掺杂区域构成一 PMOS; 以及

一第二虚置栅极, 设于该第二 P 型井中, 用来隔绝该第五 N⁺掺杂区域与第五 P⁺掺杂区域。

29. 如权利要求 28 所述的 ESD 防护电路, 其特征是: 另包含有一第三电阻用来电连接该缓冲垫与该第二虚置栅极, 以及一第四电阻用来电连接该 V_{DD} 电源接脚与该第二栅极。

30. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 当一相对于该 V_{SS} 电源接脚为正的 ESD 电压被施加于该缓冲垫时, 会开启该 SOI-NSCR 以释放 ESD 电流至该 V_{SS} 电源接脚。

31. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 当一相对于该 V_{SS} 电源接脚为负的 ESD 电压被施加于该缓冲垫时, 会开启该第一二极管以释放 ESD 电流至该 V_{SS} 电源接脚。

32. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 当一相对于该 V_{DD} 电源接脚为负的 ESD 电压被施加于该缓冲垫时, 会开启该 SOI-PSCR 以释放 ESD 电流至该 V_{DD} 电源接脚。

33. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 当一相对于该 V_{DD} 电源接脚为正的 ESD 电压被施加于该缓冲垫时, 会开启该第二二极管以释放 ESD 电流至该 V_{DD} 电源接脚。

34. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 另包含有一电连接于该 V_{SS} 电源接脚以及该 V_{DD} 电源接脚的电源线 ESD 箝制电路。

35. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 该缓冲垫为一输入缓冲垫。

36. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 该缓冲垫为一输出缓冲垫。

37. 如权利要求 25 所述的 ESD 防护电路, 其特征是: 在一正常操作模式下, 该 SOI-PSCR、该 SOI-NSCR、该第一二极管以及该第二二极管均保持关闭。

38. 一种设于电源线间的静电放电防护电路,该ESD防护电路包含有:

一第一反向器,且该第一反向器包含有一输入端以及一输出端;

一电容,电连接于该输入端以及该电源线的一 V_{ss} 电源接脚;

一第一电阻,电连接于该输入端以及该电源线的一 V_{DD} 电源接脚;

5 一形成于硅覆绝缘基底的触发硅控整流器SOI-SCR,该SOI-SCR的阳极电连接于该 V_{DD} 电源接脚;

一二极管串列,电连接该SOI-SCR的该阴极以及该 V_{ss} 电源接脚;

其中该二极管串列用来提高该SOI-SCR被开启后的保持电压,以避免在一正常操作模式下,该SOI-SCR被一杂讯脉冲触发而进入闭锁状态。

10 39. 如权利要求38所述的ESD防护电路,其特征是:该SOI-SCR为一SOI-NSCR。

40. 如权利要求39所述的ESD防护电路,其特征是:该SOI-NSCR包含有:

15 一第一P型井与一第一N型井,设于一硅覆绝缘基底表面的一单晶硅层中;

一第一P⁺掺杂区域以及一第一N⁺掺杂区域,设于该第一N型井中,用来当作该SOI-NSCR的阳极;

20 一第二P⁺掺杂区域以及一第二N⁺掺杂区域,设于该第一P型井中,用来当作该SOI-NSCR的阴极,且该第一P⁺掺杂区域、该第一N井、该第一P型井以及该第二N⁺掺杂区域构成一横向SCR;

一第三N⁺掺杂区域,横跨部分的该第一N型井以及该第一P型井;

一第一栅极,设于该第一P型井中,并与该第三N⁺掺杂区域以及该第二N⁺掺杂区域构成一NMOS;以及

25 一第一虚置栅极,设于该第一N型井中,用来隔绝该第一P⁺掺杂区域与第三N⁺掺杂区域。

41. 如权利要求40所述的ESD防护电路,其特征是:另包含有一第二电阻,用来电连接该 V_{DD} 电源接脚与该第一虚置栅极,以保护该第一虚置

栅极的栅极氧化层。

42. 如权利要求 40 所述的 ESD 防护电路, 其特征是: 另包含有一第三电阻, 用来电连接该二极管串列与该第一栅极, 以保护该第一栅极的栅极氧化层。

5 43. 如权利要求 40 所述的 ESD 防护电路, 其特征是: 该第一栅极电连接于该第一反向器的该输出端。

44. 如权利要求 40 所述的 ESD 防护电路, 其特征是: 该第三 N⁺掺杂区域电连接于该第一反向器的该输出端。

10 45. 如权利要求 44 所述的 ESD 防护电路, 其特征是: 另包含有一第二反向器, 且该第二反向器的输入端电连接于该电容以及该第一电阻, 该第二反向器的输出端电连接于该第一反向器的输入端。

46. 如权利要求 44 所述的 ESD 防护电路另, 其特征是: 包含有一第二反向器, 且该第二反向器的输入端电连接于该电容以及该第一电阻, 该第二反向器的输出端电连接于该第一反向器的输入端以及该第一栅极。

15 47. 如权利要求 44 所述的 ESD 防护电路, 其特征是: 另包含有一第二反向器, 且该第二反向器的输入端电连接于该电容以及该第一电阻, 该第二反向器的输出端电连接于该第一反向器的输入端以及该第一栅极, 且该第一反向器的输出端电连接于该第一虚置栅极。

20 48. 如权利要求 38 所述的 ESD 防护电路, 其特征是: 该 SOI-SCR 为一 SOI-PSCR。

49. 如权利要求 48 所述的 ESD 防护电路, 其特征是: 该 SOI-PSCR 包含有:

一第二 P 型井与一第二 N 型井, 设于该硅覆绝缘基底表面的该单晶硅层中;

25 一第三 P⁺掺杂区域以及一第四 N⁺掺杂区域, 设于该第二 N 型井中, 用来当作该 SOI-PSCR 的阳极;

一第四 P⁺掺杂区域以及一第五 N⁺掺杂区域, 设于该第二 P 型井中,

用来当作该 SOI-PSCR 的阴极，且该第三 P⁺掺杂区域、该第二 N 型井、该第二 P 型井以及该第五 N⁺掺杂区域构成一横向 SCR；

一第五 P⁺掺杂区域，横跨部分的该第二 N 型井以及该第二 P 型井；

一第二栅极，设于该第二 N 型井中，并与该第五 P⁺掺杂区域以及该第三 P⁺掺杂区域构成一 PMOS；以及

一第二虚置栅极，设于该第二 P 型井中，用来隔绝该第五 N⁺掺杂区域与第五 P⁺掺杂区域。

50. 如权利要求 49 所述的 ESD 防护电路，其特征是：另包含有一第四电阻，用来电连接该二极管串列与该第二虚置栅极，以保护该第二虚置栅极的栅极氧化层。

51. 如权利要求 49 所述的 ESD 防护电路，其特征是：另包含有一第五电阻，用来电连接该 V_{DD} 电源接脚与该第二栅极，以保护该第二栅极的栅极氧化层。

52. 如权利要求 49 所述的 ESD 防护电路，其特征是：该第二栅极电连接于该第一反向器的该输出端。

53. 如权利要求 49 所述的 ESD 防护电路，其特征是：该第五 P⁺掺杂区域电连接于该第一反向器的该输出端。

54. 如权利要求 53 所述的 ESD 防护电路，其特征是：另包含有一第三反向器，且该第三反向器的输入端电连接于该第一反向器的输出端，该第三反向器的输出端电连接该第二栅极。

55. 如权利要求 38 所述的 ESD 防护电路，其特征是：当一正 ESD 电压跨接于该 V_{SS} 电源接脚与该 V_{DD} 电源接脚之间时，该 SOI-SCR 会被触发而开启，以使 ESD 电流经由该 SOI-SCR 装置以及该二极管串列而被释放至该 V_{SS} 电源接脚。

设于硅覆绝缘中的硅控整流器及其应用电路

5 技术领域

本发明涉及半导体制造领域，尤其是一种设于硅覆绝缘(SOI)基底的NMOS 触发硅控整流器(NMOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-NSCR)，PMOS 触发硅控整流器(SOI-PSCR)及其应用电路。

背景技术

在封装集成电路时，常会因发生静电放电(ESD)而造成损害。静电放电通常会造成极高的电压，故容易破坏互补式金属氧化半导体(CMOS)集成电路中的栅极氧化层装置。因此，为了避免受到静电放电的伤害，通常会在集成电路晶片上加入静电放电防护电路(on-chip ESD protection circuits)。一般而言，这些静电放电防护电路都包括有一个开关，此开关在一般操作状况下处于一关闭的状态，而在发生静电放电的情况时则会被开启以排放 ESD 电流。在 CMOS 主体(非附加)制程中，一个典型的硅控整流器(silicon controlled rectifier, SCR)装置其维持电压(holding voltage)相当低(约 1 伏特)，所以在遭受 ESD 电压时 SCR 的功率消耗(其功率消耗约等于 ESD 电流乘上维持电压)会小于 CMOS 技术中的其他的 ESD 防护装置(例如：二极管、MOS、BJT 或场氧化装置)。因此，若以 SCR 结构作为主要的 ESD 防护电路装置，则可以在最小的电路布局面积状况下得到最高的 ESD 防护效果。

然而在次微米 CMOS 制程中，标准的 SCR 装置的切换 (switching) 电压超过 30 伏特，而次微米 CMOS 制程中的栅极氧化层的崩溃 (breakdown) 电压却小于 20 伏特，故 SCR 结构并不能有效地保护栅极氧化层。因此，需加入一额外的第二 ESD 防护电路，方能对集成电路提供完整的 ESD 防护功能。为了增进 SCR 装置的防护效率，目前已有数种改良型的设计被提出。

在美国专利案 5, 012, 317 中, 提出了一个将 SCR 装置应用至 P 型基底/N 型井的 CMOS 制程。请参考图 1, 图 1 为根据习知技术将 SCR 装置 10 应用于 P 型基底/N 型井的 CMOS 制程的剖面示意图。如图 1 所示, SCR 装置 10 制作于一硅基底上。此硅基底包含一 P 型基底 11 和一 N 型井 12 设于此 P 型基底上, 一个 P 型重掺杂 (P^+) 掺杂区域 14 设于 N 型井 12 上并用来当作 SCR 装置 10 的阳极 (亦即 SCR 装置 10 的输入端), 以及一 N 型重掺杂 (N^+) 掺杂区域 15 设于 P 型基底 11 上并用来当作 SCR 装置 10 的阴极 (亦即 SCR 装置 10 的接地端)。因此, P^+ 掺杂区域 14、N 型井 12、P 型基底 11 以及 N^+ 掺杂区域 15 共同组成此 SCR 装置 10。通过 P 型基底/N 型井间的 P-N 接面崩溃, 此 SCR 装置会被导通, 并使 ESD 电流经由 P^+ 掺杂区域 14、N 型井 12、P 型基底 11、 N^+ 掺杂区域 15, 然后释放至接地端。如上所述, 通常 SCR 装置都有相当高的切换 (switching) 电压 (在 $0.35\ \mu\text{m}$ 的 CMOS 制程中大于 30 伏特), 因此, SCR 装置 10 需要一额外的第二防护电路以提供完整的 ESD 防护功能。

20 在美国专利案 5225702 中，一个改良型的 SCR 装置 20 被提出。请参考图 2，图 2 为依据此先前技术所做的改良型 SCR 装置 20 的剖面示意图。如图 2 所示，此改良型 SCR 装置 20 结构制作于一硅基底上。此硅基底包含有 P 型基底 21 及一 N 型井 22 设于 P 型基底 21 上，P⁺掺杂区域 24 设于 N 型井 22 上并电连至阳极，通常为输入端，N⁺掺杂区域 25 设于 P 型基底上，电连至阴极，通常为接地端，以及一 N⁺掺杂区域 26 跨过 P 型基底与

N 型井界面。因此，P⁺掺杂区域 24、N 型井 22、P 型基底 21、N⁺掺杂区域 25 以及所加入的 N⁺掺杂区域 26 共同组成一改良式的 SCR 装置 20。由于加入的 N⁺掺杂区域 26，SCR 的切换电压会降低为 N⁺扩散层/P 型基底接面的崩溃电压。此种改良式 SCR 装置通常在 0.35 μm CMOS 制程下的切换电压约为 12 伏特。由于有着较低的切换电压，因此 SCR 装置 20 能较快被导通以将 ESD 电流排放出。

在美国专利案 5453384 中，提出了第二种改良式 SCR 装置 30 的设计，其中此 SCR 装置 30 具有一 NMOS 跨接于 P 型基底和 N 型井上。请参考图 3，图 3 为依据此先前技术所作的第二改良式 SCR 装置 30 的剖面示意图。如图 3 所示，此第二种改良式 SCR 装置 30 结构制作于一硅基底上。此硅基底含有一 P 型基底 31 及一 N 型井 32 设于此 P 型基底 31 上，一 P⁺掺杂区域 34 设于 N 型井上并电连至阳极，通常为输入端，另一 N⁺掺杂区域 35 位于 P 型基底 31 上且电连至阴极，通常为接地端，以及一 N⁺掺杂区域 36 跨接到 N 型井 32 和 P 型基底 31 上。因此，P⁺掺杂区域 34、N 型井 32、P 型基底 31 及 N⁺掺杂区域 35 共同组成此第二种改良型 SCR 装置 30。

相较于前述的改良式的 SCR 装置 20，SCR 装置 30 另包含有一个栅极绝缘体 37 和栅极 38 形成于 N⁺扩散层 36 和 N⁺掺杂区域 35 之间。栅极 38 的两侧有侧壁子 39，而在 P 型基底 31 中另设有轻掺杂漏极 40 设于栅极 38 的两侧，以形成所增加的 NMOS 装置 42。此外，图 3 同时显示了在深次微米 CMOS 的制程中，浅沟隔离区域 44 用于 SCR 装置 30 的状况。由于 SCR 装置 30 多加入一个跨过 P 型基底/N 型井接面的 NMOS 装置 42，故使得 SCR 装置 30 的切换电压被降低为此新增的 NMOS 装置漏极的崩溃电压。在 0.35 μm CMOS 制程，一个典型的 SCR 装置 30 切换电压通常约为 8 伏特。由于其切换电压够低，故 SCR 装置 30 可以单独保护集成电路而不需要额外的第二保护电路。

此外，由于近年来硅覆绝缘(SOI)技术的进一步改善使得集成电路技术有相当程度的进步。所谓的硅覆绝缘技术指的是一种将绝缘层制作于基底中，并延伸到集成电路主动掺杂区域的下方的技术。虽然此种 SOI 装置具有近乎完美的低起始电压电性表现、无闭锁现象(latch-up)、低关闭状态
5 态遗漏电流、低操作电压、高电流驱动能力等的优点，但由于其埋藏式氧化层的不良热导特性以及浮置体效应(floating body effect)，故使得应用 SOI 技术所生产的集成电路产品在 ESD 方面遭遇到更严重的可靠度问题。

举例来说，当使用 SOI 技术时，SCR 装置中的 P-N-P-N 路径常会被
10 埋藏式氧化区域或浅沟隔离区域所隔离。因此在美国专利案 6015992 中，提出了一种双稳态 SCR 型(bi-stable SCR-like)装置。请参见图 4，图 4 为此先前技术的双稳态 SCR 型装置 50 的剖面示意图。如图 4 所示，SOI 基板包含有一基底 60、一埋藏氧化层(buried oxide layer)46 以及一单晶硅层 66。双稳态 SCR 型装置 50 中设有两条多的连接线(线 52 及线 54)
15 用来连接分离的 NPN56 和 PNP58 BJT 以形成 SCR 型装置。其中主动掺杂区域 57 为场氧化层 63 所分隔，亦即传统 SCR 和此种 SCR 型的双稳态开关 50 的主要差别在于 NPN56 与 PNP58 BJT 是被场氧化层 63 所隔离，因此中间尚需要一个内连线层(interconnect layer)来构成整个 SCR 型装置，所以其并非一个真正的 SCR 装置。

20

发明内容

因此，本发明的主要目的提供一种设于硅覆绝缘(silicon-on-insulator, SOI)基底的 NMOS 触发硅控整流器(NMOS-trigger silicon
25 controlled rectifier in silicon-on-insulator, SOI-NSCR)与 PMOS 触

发硅控整流器(SOI-PSCR),以及一种利用 SOI-NSCR 与 SOI-PSCR 所构成的静电放电防护电路(electrostatic discharge protection circuit)。

在本发明的第一个实施例中,该 SOI-NSCR 包含有一 P 型井与一 N 型井,设于该硅覆绝缘基底表面的单晶硅层中;一第一 P⁺掺杂区域以及一
5 第一 N⁺掺杂区域,设于该 N 型井中并被电连接至一阳极(anode);一第二 P⁺掺杂区域以及一第二 N⁺掺杂区域,设于该 P 型井中并被电连接至一阴极(cathode),且该第一 P⁺掺杂区域、该 N 井、该 P 型井以及该第二 N⁺掺杂区域构成一横向 SCR (lateral SCR);一第三 N⁺掺杂区域,横跨部分的该 N 井以及该 P 型井;一栅极,设于该 P 型井中,并与该第三 N⁺掺杂区域以
10 及该第二 N⁺掺杂区域构成一 NMOS; 以及一个虚置栅极(dummy gate),设于该 N 型井中,用来隔绝该第一 P⁺掺杂区域与第三 N⁺掺杂区域。其中,加压于该 NMOS 的栅极并打开该 NMOS 时,会于该 N 型井至该 P 型井形成一顺向偏压(forward bias)而开启该 N 型硅控整流器(SOI-NSCR),此外,加压于该第三 N⁺掺杂区域,亦可形成一触发电流(I_{trig})以使该横向 SCR 进入
15 一锁定状态(latch state),而触发开启(trigger on)该 SOI-NSCR。

在本发明的第二实施例中,用 PMOS 来相对地替换 NMOS,以于该 N 型井至该 P 型井形成一顺向偏压(forward bias)而开启该 P 型硅控整流器(SOI-PSCR),此外,在第二实施例中亦相对地设有一第三 P⁺掺杂区域,因此当加压于该第三 P⁺掺杂区域,亦可形成一触发电流(I_{trig})以使该横向
20 SCR 进入一锁定状态(latch state),而触发开启(trigger on)该 SOI-PSCR。

本发明的第三种技术方案为:一种设于电源线间的静电放电(ESD)防护电路,该 ESD 防护电路包含有:一第一反向器,且该第一反向器包含有一输入端以及一输出端;一电容,电连接于该输入端以及该电源线的一
25 V_{ss} 电源接脚;第一电阻,电连接于该输入端以及该电源线的一 V_{DD} 电源接

脚；一 SOI-SCR，该 SOI-SCR 的阳极电连接于该 V_{DD} 电源接脚；一二极管串列，电连接该 SOI-SCR 的该阴极以及该 V_{SS} 电源接脚；其中该二极管串列用来提高该 SOI-SCR 被开启后的保持电压，以避免在一正常操作模式下，该 SOI-SCR 被一杂讯脉冲触发而进入闭锁状态。

5 上述 ESD 防护电路中的 SOI-SCR 可以是一个前述的 SOI-NSCR，也可以是 SOI-PSCR。

由于 SCR 结构与多晶硅闸可用来取代 SOI CMOS 制程中浅沟隔离区域的特殊设计，因此本发明不但可使 SOI CMOS 制程中的 SCR 装置更为坚固，并可加速开启 ESD 保护效果。而且本发明的 SOI-NSCR 以及 SOI-PSCR 可良
10 好地与全空乏型 (fully-depleted) SOI CMOS 的制程或部分空乏型 (partially-depleted) SOI CMOS 制程相整合，以应用于静电放电防护电路 (electrostatic discharge protection circuit) 之中。

附图说明

15

图 1 为先前技术中的 SCR 装置应用于 P 型基底/N 型井上的剖面示意图；

图 2 为先前技术的改良式 SCR 装置剖面示意图；

图 3 为先前技术的改良式 SCR 装置剖面示意图；

20 图 4 为先前技术中的双稳态 SCR 型装置 (bi-stable SCR-like) 剖面示意图；

图 5a 为 SOI-CMOS 制程中的部分空乏 SOI-NSCR 装置的结构示意图；

图 5b 为本发明 SOI-NSCR 装置用于 ESD 保护装置的示意符号定义；

图 5c 为本发明部分空乏 SOI CMOS 制程中 SOI-NSCR 装置的外视图；

25 图 6a 为部份空乏 SOI-CMOS 制程中 SOI-PSCR 的结构示意图；

图 6b 为本发明 SOI-PSCR 装置用于 ESD 保护装置的示意符号定义；
图 6c 为本发明部分空乏 SOI CMOS 制程中 SOI-PSCR 装置的外视图；
图 7a 为本发明完全空乏 SOI-CMOS 制程中 SOI-NSCR 装置的结构示意图；
5 图 7b 为本发明完全空乏 SOI-CMOS 制程中 SOI-NSCR 装置结构的外视图；
图 8a 为本发明完全空乏 SOI-CMOS 制程中 SOI-PSCR 装置的结构示意图；
图 8b 为本发明完全空乏 SOI-CMOS 制程中 SOI-PSCR 装置结构的外视图；
10 图 9 为本发明 SOI CMOS 制程中应用硅控制整流装置于输入端 ESD 防护电路上的电路图；
图 10 为为本发明 SOI CMOS 制程中应用硅控制整流装置于输出端 ESD 防护电路上的电路图；
15 图 11a 至图 11g 为本发明 SOI CMOS 制程中应用硅控制整流装置于两电源线之间的电路图。

图示的符号说明

10、20、30	SCR 装置	11、21、31	P 型基底
20 12、22、32	N 型井	14、24、34	P ⁺ 掺杂区域
15、25、26、35、36	N ⁺ 掺杂区域		
37	栅极绝缘体	38	栅极
39	侧壁子	40	轻掺杂源极
42	NMOS 装置	44	浅沟隔离区
25 50	双稳态 SCR 型装置	52、54	连接线

	56 NPN 接面区	57 主动掺杂区域
	58 PNP 接面区	63 场氧化层
	100、300 SOI-NSCR 200、400 SOI-PSCR	
	102、202、302、402 P 型基底	
5	104、204、304、404 P 型井	
	106、206、306、406 N 型井	
	108、116、208、212、216 P ⁺ 掺杂区域	
	110、112、114、210、212 N ⁺ 掺杂区域	
	118、318 栅极绝缘体	120、320 导电材料
10	122、222、322、422 栅极	
	124、224、324、424 虚置栅极	
	123、223、323、423 NMOS 结构	
	126、226、326、426 浅沟隔离区域	
	128、228、328、428 埋藏式氧化层	
15	308、316、408、412、416 P ⁺ 掺杂区域	
	310、312、314、410、412 N ⁺ 掺杂区域	
	500 硅控制整流装置	504 输入端
	506 SOI-NSCR	508 SOI-PSCR
	512 第一二极管 (DN1)	514 第二二极管 (DP1)
20	516 第一电阻 (R1)	518 第二电阻 (R2)
	522 第三电阻 (RP1)	524 第四电阻 (RP2)
	600 硅控整流器	602 输出端
	606 SOI-NSCR	608 SOI-PSCR
	612 第一二极管 (DN1)	614 第二二极管 (DP1)
25	616 第一电阻 (R1)	618 第二电阻 (R2)

	622 第三电阻 (RP1)	624 第四电阻 (RP2)
	700 硅控整流器	702 第一区块
	703 第一反向器	704 电容
	706 电阻 R1	708 第一节点
5	710 第二节点	712 第二区块
	714 SOI-NSCR	716 二极管串列
	718 电阻 R2	750 硅控整流器
	758 第一节点	760 第二节点
	762 第二区块	764 SOI-NSCR
10	766 二极管串列	768 电阻 R2
	772 第三区块	773 第二反向器
	774 第三节点	776 虚置栅极 (G2)
	800 硅控整流器	808 第一节点
	810 第二节点	814 SOI-PSCR
15	816 二极管串列	818 电阻 R2
	826 电阻 R3	850 硅控整流器
	858 第一节点	864 SOI-PSCR
	866 二极管串列	868 电阻 R2
	874 第三节点	876 电阻 R3
20	900 硅控整流器	908 第一节点
	910 第二节点	914 SOI-PSCR
	918 电阻 R2	924 第三节点
	950 硅控整流器	958 第一节点
	960 第二节点	964 SOI-NSCR
25	966 二极管串列	968 电阻 R2

974 第三节点	1000 硅控整流器
1008 第一节点	1010 第二节点
1014 SOI-NSCR	1016 二极管串列
1024 第三节点	

5

具体实施方式

本发明提供一种可良好整合于部分空乏型 (partially-depleted) SOI CMOS 制程或全空乏型 (fully-depleted) SOI CMOS 制程的 NMOS 触发
10 硅控整流器 (NMOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-NSCR) 与 PMOS 触发硅控整流器 (SOI-PSCR), 以及一种利用该 SOI-NSCR 与该 SOI-PSCR 所构成的静电放电防护电路 (electrostatic discharge protection circuit)。

请参考图 5a 及五 b, 图 5a 为本发明应用于部分空乏 SOI-CMOS 制程
15 中的 SOI-NSCR 装置 100 的结构示意图, 图 5b 为用于 ESD 防护设计的 SOI-NSCR 装置 100 的示意符号。请参见图 5a, SOI-NSCR 装置 100 制作于一 SOI 基底 101 上, SOI 基底 101 包含有一 P 型基底 102、一埋藏氧化 (buried oxide) 层 128 以及一单晶硅层。SOI-NSCR 装置 100 包含有一轻掺杂 P 型井 (P2) 104、一轻掺杂的 N 型井 (N1) 106、一 P⁺掺杂区域 (P1) 108 布植
20 于 N 型井 (N1) 106、一个 N⁺掺杂区域 (N4) 110 布植于 N 型井 (N1) 106 以提供 N 型井 (N1) 106 的连接、一个重掺杂 N⁺掺杂区域 (N2) 114 设于 P 型井 (P2) 104 中、一个重掺杂的 P⁺掺杂区域 (P3) 116 设于 P 型井 (P2) 104 中以提供 P 型井 (P2) 104 的连接, 以及一 N⁺掺杂区域 (N3) 112 布植于 N 型井 (N1) 106 与 P 型井 (P2) 104 之间。其中, P⁺掺杂区域 (P1) 108 以及
25 N⁺掺杂区域 (N4) 110 用来当作 SOI-NSCR 装置 100 的阳极 (anode), P⁺掺杂

区域(P3) 116 以及个 N⁺掺杂区域(N2) 114 用来当作 SOI-NSCR 装置 100 的阴极(cathode)。此外, 图 5a 中所示的 N⁺掺杂区域(N2) 114、P⁺掺杂区域(P1) 108、N⁺掺杂区域(N3) 112、轻掺杂 P 型井(P2) 104 以及轻掺杂的 N 型井(N1) 106 分别对应于图 5b 的符号 114a、108a、112a、106a 及 104a。

5 SOI-NSCR 装置 100 另包含有一由一栅极绝缘体 118 与一导电材料 120 所构成的栅极(G2) 122 设于重掺杂 N⁺掺杂区域(N3) 112 与 N⁺掺杂区域(N2) 114 间的 P 型井(P2) 104 上, 一虚置栅极(G1) 124 设于 P⁺掺杂区域(P1) 108 及 N⁺重掺杂区域(N3) 112 间的 N 型井(N1) 106 上, 用来隔绝 P⁺掺杂区域(P1) 108 及 N⁺掺杂区域(N3) 112, 以及至少一浅沟隔离区域 126, 以配
10 合理藏式氧化层 128 来将 SOI-NSCR 装置 100 与其他装置相隔离。其中, 设于 P 型井(P2) 104 上的栅极(G2) 122、N⁺掺杂区域(N3) 112 以及 N⁺掺杂区域(N2) 114 组成一 NMOS 结构 123, 而 P⁺掺杂区域(P1) 108、N 型井(N1) 106、P 型井(P2) 104 以及 N⁺掺杂区域(N2) 114 则构成一横向 SCR (lateral SCR)。此外, P⁺掺杂区域(P1) 108 与 N 型井(N1) 106 的交界处会形成一
15 P1-N1 接面, N⁺掺杂区域(N2) 114 和 P 型井(P2) 104 的交界处会形成一 P2-N2 接面, N 型井(N1) 106 和 P 型井(P2) 104 的交界处会形成一 P2-N1 接面, 而 N⁺掺杂区域(N3) 112 与 P 型井(P2) 104 的交界处则会形成一 N3-P2 接面。

由于 N3-P2 接面的接面崩溃电压(junction breakdown voltage)低
20 于 P2-N1 接面的接面崩溃电压, 故可加快 SOI-NSCR 装置 100 的开启速度。此外, 在本发明中, N⁺掺杂区域(N3) 112 用来当作一 N 型触发点, 用来降低 SOI-NSCR 的触发电压(trigger voltage), 也就是说, 当加压于 N⁺掺杂区域(N3) 112 时, 会相对产生一触发电流(I_{trig})流过 N 型触发点, 以使横向 SCR 进入一锁定状态(latch state)而触发横向 SCR, 进而迅速
25 开启 SOI-NSCR 装置 100, 以使跨接于阳极与阴极的正瞬间电压(transient

voltage) 的电流流过 N3-P2 接面而被释放至阴极。

当一个瞬间的正电压自 SOI-NSCR 装置 100 的阳极与阴极间通过, 这个正电压将会经 P⁺掺杂区域(P1) 108 流入 N 型井(N1)106。若此一正电压高于 P2-N3 接面区的崩溃电压, 则 P2-N3 接面可能会崩溃, 然后这电流会
5 由 P 型井(P2)104 到 N⁺掺杂区域(N2) 114, 亦即通过 P2-N2 接面区进入阴极。反之, 当一负瞬间电压(negative transient voltage)跨接于 SOI-NSCR 装置 100 的阳极与阴极时, 这个负瞬间电压会产生一自 P⁺掺杂区域(P3) 116 流至 P 型井(P2) 104 的电流, 并于 P 型井(P2) 104 与 N 型井(N1)106 的 P2-N1 接面区形成一顺向偏压(forward biased), 以使这个负瞬间电压的电流流
10 过 N 型井(N1)106 并经由 N⁺掺杂区域(N4) 110 而被释放至阳极。

值得注意得是, 在上述本发明的实际操作中, 若再加压于 NMOS 结构 123 的栅极(G2)122 且开启 NMOS 结构 123 时, 将可造成一顺向偏压(forward bias)而开启 SOI-NSCR 装置 100, 以使跨接于阳极与阴极的正瞬间电压(transient voltage)的电流更加速流过 N3-P2 接面而被释放至阴极。

15 请参见图 5c, 图 5c 为本发明部分空乏 SOI CMOS 制程中 SOI-NSCR 装置 100 的外视图。本发明的 NMOS 触发硅控整流器(NMOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-NSCR) 100 可良好地整合于部分空乏型(partially-depleted) SOI CMOS 制程中。例如设于 N⁺掺杂区域(N3) 112b 与 N⁺掺杂区域(N2) 114b 间的 P 型井(P2) 104b
20 上的栅极(G2)122b, 以及设于 P⁺掺杂区域(P1)108b 及 N⁺重掺杂区域(N3)112b 间的 N 型井(N1)106b 上的虚置栅极(G1)124c 皆可形成于一般的栅极制程中, 且栅极(G2)122b 顶面亦可另形成一多晶硅化金属层以降低片电阻, 而 N⁺掺杂区域(N2 及 N3)114b、112b 则可在形成完栅极(G2)122b 两侧的轻掺杂漏极以及侧壁子之后, 再以习知晶体管技术的源极/漏极制
25 程所形成。

其中,虚置栅极(G1)124c的设计主要是为了用来隔绝P⁺掺杂区域(P1)108及N⁺掺杂区域(N3)112,其掺杂浓度与掺杂形式对SOI-NSCR装置100并不会造成任何影响。因此,为了完全与现有的CMOS深次微米制程相容并增加定位容忍度,虚置栅极(G1)124c靠近N⁺掺杂区域(N3)112部分的栅极区域124d可以被植入相同的N⁺离子,而其他接近P⁺掺杂区域(P1)108的栅极区域124e则可以植入相同的P⁺离子。换句话说,构成(G1)124c的多晶硅材料上,将可能同时包含有N⁺掺质以及P⁺掺质。此外,虚置栅极(G1)124c的通道长度不一定相等于栅极(G2)122b的通道长度。

本发明的第二实施例将同样的构想应用于部分空乏型(partially-depleted)SOI CMOS制程的PMOS触发硅控整流器(SOI-PSCR)中,其主要是在P型井掺杂区域(P2)和N型井掺杂区域(N1)间加入一P型重掺杂区域(P3)以取代图5a中的N型重掺杂区域(N3)。

请参见图6a至六c。图6a为部份空乏SOI-CMOS制程中SOI-PSCR 200的结构示意图,图6b为本发明SOI-PSCR 200用于ESD保护装置的示意符号定义,图6c为本发明部份空乏SOI-CMOS制程中SOI-PSCR 200的外视图。P型重掺杂区域212和N型井掺杂区域206会形成一新的SOI-PSCR装置200的P-N接面。P⁺(P1)掺杂区域208和N⁺(N3)掺杂区域210会相连以作为SOI-PSCR装置200的阳极。N⁺(N2)掺杂区域214和P⁺(P4)掺杂区域216相连以作为SOI-PSCR装置200的阴极。一个含有一栅极(G1)222的PMOS结构223会由P型重掺杂区域(P1)208、N1掺杂区域206及加入的P型重掺杂区域(P3)212所形成。而用来隔绝N2掺杂区域214和P3掺杂区域212的虚置栅极(G2)224则设于N2掺杂区域214、P3掺杂区域212及P2掺杂区域204上。埋藏式氧化层228设于P型基底202和装置结构之间,以将他们与其他装置隔绝。

SOI-PSCR装置200的符号定义如图6b。图6b的示意符号概略显示

出 SOI-PSCR 装置 200 为一五层半导体装置。其中第一层为 P 型重掺杂材质 (P1) 208a, 设于 N 型井层 (N1) 206a 旁。N 型井层 (N1) 206a 设于 P 型井层 (P2) 204a 及 P 型重掺杂材质 (P3) 212a 旁。P3 层 212a 设于图 6b 虚线掺杂区域内。另一个 N 型重掺杂层 (N2) 214a 在 P2 层左侧。P 型掺杂区域 (P1) 208a 连接到一侧以作为 SOI-PSCR 装置 200 的阳极, 而 N 型掺杂区域 (N2) 214a 连接到另一侧, 作为阴极。PMOS 栅极 (G1) 222 设于 P3 掺杂区域 212a、N1 (N 型井) 层 206a 及 P1 掺杂区域 208a 之上, 而虚置栅极 (G2) 224 设于 N2 掺杂区域 214a、P2 (P 型井) 层 204a 及 P3 掺杂区域 212a 之上。

如同上述的 SOI-NSCR 装置 100 一样, 当一正瞬间电压 (positive transient voltage) 跨接于 SOI-PSCR 装置 200 的阳极与阴极时, 这个正瞬间电压会产生一自 P 型重掺杂区域 (P1) 208 流至 N 型井 (N1) 206 的电流。且当此正瞬间电压高于 N 型井 (N1) 206 与 P 型重掺杂区域 (P3) 212 的 N1-P3 接面 (junction) 的接面崩溃电压 (junction breakdown voltage) 时, N1-P3 接面会崩溃, 以使这个正瞬间电压的电流流过 N1-P3 接面并经由 N 型重掺杂区域 (N2) 214 而被释放至阴极。反之, 当一负瞬间电压 (negative transient voltage) 跨接于 SOI-PSCR 装置 200 的阳极与阴极之间时, 这个负瞬间电压会产生一自 P⁺ 掺杂区域 (P4) 216 流至 P 型井 (P2) 204 的电流, 并于 N1-P3 接面形成一顺向偏压 (forward biased), 以使此负瞬间电压的电流被释放至阳极。此外, 当一个控制电压加至栅极 G1 222 或是一个触发电流加至 P⁺ (P3) 掺杂区域 212 时, 此 SOI-PSCR 装置 200 将会被触发并自其阳极和阴极间产生一低阻抗路径。这个 SOI-PSCR 可应用至 ESD 防护电路以保护 SOI CMOS 集成电路。

请参见图 6c, 图 6c 是本发明部分空乏 SOI CMOS 制程中 SOI-PSCR 装置 200 的外视图。为了方便说明, 并未显示上部内连线层。绝缘层为一根据 SOI CMOS 技术制成的布植层。在氧化层上生成一个未氧化的上层基

底。此上层基底即为将形成主动电路的掺杂区域。

如图 6c 所示,此一完整的结构由绝缘层所隔离,而此侧面绝缘层 226b 浅沟隔离所形成。两个轻掺杂区设于绝缘层上的硅层内。一 P 型掺杂区域 (P2) 204b 设于一侧,而一 P⁺接触掺杂区域 (P4) 216b 形成于 P2 掺杂区域 5 204b 和侧面绝缘层 226b 之间。一个 N 型轻掺杂区域 (N1) 206b 设于 P2 掺杂区域 204b 旁,且一 N⁺接触掺杂区域 (N3) 210b 形成于 P2 掺杂区域 206b 和侧面绝缘层 226b 之间。一个 P 型重掺杂区域 (P1) 208b 设于 N1 206b 区域中,而另一 P 型重掺杂区域 (P3) 212b 设于 N1 区域 206b 与 P2 区域 204b 的中。一个栅极结构 222b 设于 P1 区域 208b、P3 区域 212b 及 N1 区域 206b 10 上,且这些掺杂区域形成一 PMOS 结构。P⁺掺杂区域 (P1 及 P3) 208b、212b 将可以习知晶体管技术的源极/漏极制程所形成。一个 N 型重掺杂 (N2) 214b 区域设于 P4 掺杂区域 216b 旁, P2 204b 层之中。一虚置栅极 224c 设于 N2 区域 214b、P2 区域 204b 及 P3 区域 212b 之上,并有两个掺杂区域 224d、224e 设于其上。第一掺杂区域 224d 为 N 型掺杂,设于 N2 掺杂区域 214b 15 旁,而另一掺杂区域 224e 为 P 型掺杂,设于 P3 掺杂区域 212b 旁。栅极 224c 用来隔离 N2 掺杂区域 214b 和 P3 掺杂区域 212b。一埋藏式氧化层 228b 设于 P 型基底 202 及装置结构之间以将其与其他装置隔离。

本发明的第三个实施例提供一整合于全空乏型 (fully-depleted) SOI CMOS 制程的 SOI-NSCR 装置 300 的结构。请参见图 7a 至七 b。图 7a 为本 20 发明完全空乏 SOI-CMOS 制程中 SOI-NSCR 装置 300 的结构示意图,图 7b 为本发明完全空乏 SOI-CMOS 制程中 SOI-NSCR 装置 300 结构的外视图。如图 7a 所示,SOI-NSCR 装置 300 结构制造于一 SOI 基底 301 上,SOI 基底 301 包含有一 P 型基底 302、一埋藏氧化 (buried oxide) 层 328 以及一单晶硅层。

25 相类似于图 5a 所示的 SOI-NSCR 装置 100,SOI-NSCR 装置 300 包含

有一轻掺杂 P 型井 (P2) 304、一轻掺杂的 N 型井 (N1) 306、一 P⁺掺杂区域 (P1) 308、一个 N⁺掺杂区域 (N4) 310、一 N⁺掺杂区域 (N2) 314、一 P⁺掺杂区域 (P3) 316、一 N⁺掺杂区域 (N3) 312 布置于 N 型井 (N1) 306 与 P 型井 (P2) 304 之间、一由一栅极绝缘体 318 与一导电材料 320 所构成的栅极 (G2) 322、一虚置栅极 (G1) 324, 以及至少一浅沟隔离区域 326。其中, P⁺掺杂区域 (P1) 308 以及 N⁺掺杂区域 (N4) 310 用来当作 SOI-NSCR 装置 300 的阳极 (anode), P⁺掺杂区域 (P3) 316 以及 N⁺掺杂区域 (N2) 314 用来当作 SOI-NSCR 装置 300 的阴极 (cathode)。由于本发明的第三个实施例整合于一全空乏型 (fully-depleted) SOI CMOS 制程, 因此本发明的第三个实施例 SOI-NSCR 装置 300 与 SOI-NSCR 装置 100 的最大不同处在于: P⁺掺杂区域 (P1) 308、N⁺掺杂区域 (N4) 310、N⁺掺杂区域 (N2) 314、P⁺掺杂区域 (P3) 316 以及 N⁺掺杂区域 (N3) 312 直接相接触于 SOI 基底 301 中的埋藏氧化 (buried oxide) 层 328。

当一个瞬间的正电压自 SOI-NSCR 装置 300 的阳极与阴极间通过, 这个正电压将会经 P⁺掺杂区域 (P1) 308 流入 N 型井 (N1) 306。若此一正电压高于 N⁺掺杂区域 (N3) 312 与 P 型井 (P2) 304 的 P2-N3 接面的崩溃电压时, 此 P2-N3 接面可能会崩溃, 然后这电流会由 P 型井 (P2) 304 横过 P2-N2 接面而到达 N⁺掺杂区域 (N2) 314, 再进入阴极。反之, 当一负瞬间电压 (negative transient voltage) 跨接于 SOI-NSCR 装置 300 的阳极与阴极时, 这个负瞬间电压会通过 P2-N1 接面的顺向偏压 (forward biased) 而被释放至阳极。此外, 当一个控制电压加至栅极 322 或是一个触发电流加至 N⁺ (N3) 掺杂区域 312 时, 此 SOI-NSCR 装置 300 亦将会被触发并自其阳极和阴极间产生一低阻抗路径。

参见图 7b, 本发明的 NMOS 触发硅控整流器 (NMOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-NSCR) 100 可良

好地整合于全空乏型 (fully-depleted) SOI CMOS 的制程中。例如设于 N^+ 掺杂区域 (N3) 312b 与 N^+ 掺杂区域 (N2) 314b 间的 P 型井 (P2) 304b 上的栅极 (G2) 322b, 以及设于 P^+ 掺杂区域 (P1) 308b 及 N^+ 重掺杂区域 (N3) 312b 间的 N 型井 (N1) 306b 上的虚置栅极 (G1) 324c 皆可形成于一般的栅极制程中, 且栅极 (G2) 322b 顶面亦可另形成一多晶硅化金属层以降低片电阻, 而 N^+ 掺杂区域 (N2 及 N3) 314b、312b 则可在形成完栅极 (G2) 322b 两侧的轻掺杂漏极以及侧壁子之后, 再以习知晶体管技术的源极/漏极制程所形成。其中, 轻掺杂漏极以及侧壁子为一选择性制程, 故于图 7a 至 7b 中并未作完全显示。此外, 各掺杂区与各井间的相对布局位置亦可视制程或产品特性而有所不同。

在本发明的第四个实施例中, 则是提出了一个整合于全空乏型 (fully-depleted) SOI CMOS 制程的 SOI-PSCR 装置 400 的结构。请参见图 8a 至八 b, 图 8a 为本发明完全空乏 SOI-CMOS 制程中 SOI-PSCR 装置 400 的结构示意图, 图 8b 为本发明完全空乏 SOI-CMOS 制程中 SOI-PSCR 装置 400 结构的外视图。如图 8a 所示, SOI-PSCR 装置 400 结构制造于一 SOI 基底 401 上, SOI 基底 401 包含有一 P 型基底 402、一埋藏氧化 (buried oxide) 层 428 以及一单晶硅层。

P 型重掺杂区 412 和 N 型井掺杂区域 406 生成一新的第二 P-N 接面区。 P^+ (P1) 掺杂区域 408 和 N^+ 掺杂区域 (N3) 410 相连接以作为 SOI-PSCR 装置 400 的阳极。 N^+ (N2) 掺杂区域 414 和 P^+ (P4) 掺杂区域 416 相连接作为 SOI-PSCR 装置 400 的阴极。一个包含有栅极 (G1) 422 的 PMOS 结构 423 由 P 型重掺杂区 (P1) 408、N1 掺杂区域 406 和加入的 P 型重掺杂区域 412 所组成。虚置栅极 (G2) 424 设于 N2 掺杂区域 414、P3 掺杂区域 412 和 P2 掺杂区域 404 上, 用以分隔 N2 掺杂区域 414 和 P3 掺杂区域 412。一埋藏式氧化层 428 设于 P 型基底 402 和其他装置间以作为隔离之用。其中, 当一

个控制电压加至栅极 G1 422 或是一个驱动电流加至 P⁺(P3) 掺杂区域 412 时, 此 SOI-PSCR 装置 400 将会被触发而打开并自其阳极和阴极间产生一低阻抗路径。这个 SOI-PSCR 可应用至 ESD 防护电路以保护 SOI CMOS 集成电路。

5 参见图 8b, SOI-NSCR 装置 400 设于硅基底 401b 上。硅基底 401b 包含一 P 型基底 402b。一埋藏式氧化层 428b 依据 SOI-CMOS 技术形成于 P 型基底 402b 上。这将在埋藏式氧化层 428b 上生成一未氧化之上层基底。主动电路即形成于此一上层基底, 且所有的掺杂区域均会纵向延伸通过此一上层基底。在设于埋藏式氧化层 428b 上的硅基底中形成两个轻掺杂区, 10 且通过浅沟隔离形成侧面隔离层 426b。一 P 型掺杂区域 (P2) 404b 设于一侧, 而 P⁺接触掺杂区域 (P4) 416b 形成于 P2 掺杂区域 404b 和侧面绝缘层 426b 之间。一个 N 型轻掺杂区域 (N1) 406b 设于 P2 掺杂区域 404b 旁, 且一 N⁺接触掺杂区域 (N3) 410b 形成于 N1 掺杂区域 406b 和侧面绝缘层 426b 之间。一 P 型重掺杂区域 (P3) 412b 与 N1 区域 406b 及 P2 区域 404b 部分 15 重叠。一个栅极结构 422b 设于 P1 区域 408b、P3 区域 412b 及 N1 区域 406b 上, 且这些掺杂区域形成一 PMOS 结构。P⁺掺杂区域 (P1 及 P3) 408b、412b 将可以习知晶体管技术的源极/漏极制程所形成。一个 N 型重掺杂区域 (N2) 414b 设于 P4 掺杂区域 416b 旁, P2 404 区域之中。虚置栅极 424c 设于 N2 区域 414b、P2 区域 404b 及 P3 区域 412b 之上, 并有两个掺杂区域 20 424d、424e 设于其上。第一掺杂区域 424d 为 N 型掺杂, 设于 N2 掺杂区域 414b 旁, 而另一掺杂区域 424e 为 P 型掺杂, 设于 P3 掺杂区域 412b 旁。虚置栅极 424c 用来隔离 N2 掺杂区域 414b 和 P3 掺杂区域 412b。

本发明的 SOI CMOS 制程中的硅控制整流装置可应用至输入端的 ESD 防护电路上。图 9 为本发明 SOI CMOS 制程中应用硅控制整流装置于输入 25 端 ESD 防护电路 500 上的电路图。如图 9 所示, 此电路设计 500 设于一对

电源端 (V_{ss} and V_{dd}) 之间, 一个内部电路连接到输入端 504, 一 SOI-NSCR 装置 506 设于 V_{ss} 和输入端 504 间, SOI-NSCR 装置 506 的阳极连接到输入端 504, 阴极连接到 V_{ss} 。一 SOI-PSCR 装置 508 设于输入端 504 和 V_{dd} 间。SOI-PSCR 装置 508 的阳极连接到 V_{dd} , 阴极连接到输入端 504。一第一二
5 极管 (DN1) 512 连接于 V_{ss} 和输入端 504 间, 第二二极管 (DP1) 514 连接于输入端 504 和 V_{dd} 间。一第一虚置栅极 (G1) 设于 SOI-NSCR 装置 506 上, 并经由第一电阻 (RN1) 516 连接到输入端 504, 一第一栅极 (G2) 设于 SOI-NSCR 装置 506 上, 并经由第二电阻 (RN2) 518 连接到 V_{ss} 。一第二虚置栅极 (G2) 设于 SOI-PSCR 装置 508 上, 并经由第三电阻 (RP1) 522 连接到输入端 504,
10 一第二栅极 (G1) 设于 SOI-PSCR 装置 508 上, 并经由第四电阻 (RP2) 524 连接到 V_{dd} 。此外, ESD 防护电路另包含有一电连接于 V_{ss} 电源接脚以及 V_{dd} 电源接脚的电源线 ESD 箝制电路 (power-rail ESD clamp circuits) 999。

当有一个相对 V_{ss} 为正的 ESD 脉冲时, SOI-NSCR 装置 506 会开启且 ESD 电流会经由 SOI-NSCR 装置 506 放出。当有一个相对 V_{ss} 为负的 ESD 脉冲时, DN1 512 会开启且 ESD 电流会经由 DN1 512 放出。当有一个相对 V_{dd}
15 为负的 ESD 脉冲时, SOI-PSCR 装置 508 会开启以将 ESD 电流放出。当有一个相对 V_{dd} 为正的 ESD 脉冲时, DP1 514 会开启且 ESD 电流会经由 DP1 514 放出。在正常操作模式下, DN1 512、DP1 514、SOI-NSCR 506 及 SOI-PSCR 508 均保持关闭。

20 请参见图 10, 图 10 为本发明 SOI CMOS 制程中应用硅控制整流装置于输出端 ESD 防护电路 600 上的电路图。在此电路中, 所有的设计均与 ESD 防护电路设计 500 相同, 除了其中的输入端 504 改成输出端 602。当有一个相对 V_{ss} 为正的 ESD 脉冲时, SOI-NSCR 装置 606 会开启且 ESD 电流会经由此 SOI-NSCR 装置 606 放出。当有一个相对 V_{ss} 为负的 ESD 脉冲时,
25 DN1 612 会开启且 ESD 电流会经由 DN1 612 放出。当有一个相对 V_{dd} 为负

的 ESD 脉冲时, SOI-PSCR 装置 608 会开启以将 ESD 电流放出。当有一个相对 V_{DD} 为正的 ESD 脉冲时, DP1 614 会开启且 ESD 电流会经由 DP1 614 放出。在正常操作模式下, DN1 612、DP1 614、SOI-NSCR 606 及 SOI-PSCR 608 均保持关闭。

5 请参见图 11a 至图 11g, 图 11a 至图 11g 为本发明 SOI CMOS 制程中应用硅控制整流装置于 ESD 防护电路 700、750、800、850、900、950、1000 上的电路图。如图 11a 所示, 电路设计 700 设于二电源线(power-rail)间的之间, 该二电源线分别为电源端(V_{SS} 和 V_{DD}), 一个电容 C 704 连接在 V_{SS} 和第一节点 708 间, 一电阻 R1 706 连接于第一节点 708 和 V_{DD} 间。第一区
10 块 702 包含一第一反向器(inverter)703 连接于第一节点 708 和第二节点 710 间, 第一反向器 703 的输入端设于第一节点 708 处, 第一节点 708 会通过电容 C 704 产生偏压且电压会由第一电阻 R1 706 所维持。第一反向器 703 的输出端为第二节点 710。一个包含一 SOI-NSCR 装置 714 和二极
管串列 716 的第二区块 712 在第二节点 710 处与第一反向器 703 相连接。
15 第二区块 712 为一 ESD 防护元件, 包含有一 SOI-NSCR 装置 714 和二极
管串列 716。SOI-NSCR 装置 714 包含一连接到第二节点 710 的栅极(G2), 及经由电阻 R2 718 连接到 V_{DD} 的虚置栅极(G1)。此外, SOI-NSCR 装置 714 另包含一 P 型井和 N 型井界面。

在一般操作模式下, 第一节点 708 会保持在高电压准位。通过第一
20 反向器 703 到第二节点 710 时会保持在一低电压准位。SOI-NSCR 装置 714 中的 NMOS(未显示)会处于关闭状态, 因此使得 SOI-NSCR 装置 714 关闭。而在遭受 ESD 电压的状况下, 若一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时, 一开始在第一节点 708 处会是一低电压准位, 而通过反向器操作后, 在第二节点 710 处成为一高电压准位。SOI-NSCR 装置 714 中的 NMOS(未显
25 示)会开启, 并使电流通过 N 井而至 P 井以产生电压降。这导致一顺向偏

压生成并开启 SOI-NSCR 装置 714。ESD 电流会经由 SOI-NSCR 装置 714 和二极管串列 (D1 至 DN) 716 从 V_{DD} 至 V_{SS} 流出。此二极管串列的功用是在 SOI-NSCR 开启后, 提高维持电压以避免闭锁现象发生。其可防止 SOI-NSCR 装置 714 在一般操作模式下受到杂讯脉冲触发而造成闭锁。电阻 R2 718 则是用来保护虚置栅极 (G1) 中的栅极绝缘体 (未显示)。

如图 11b 所示, 一个第三区块 772 包含一连接于第二节点 760 与第二区块 (ESD 防护元件) 762 间的第二反向器 773。此第三区块 772 的输入端连接到第二节点 760 而其输出端连接到 ESD 保护元件。第二区块 762 含有一个 SOI-PSCR 装置 764 以及一二极管串列 766。SOI-PSCR 装置 764 中含有一连接到第三节点 774 的栅极 (G1) 以及一经由一电阻 R2 768 连接到二极管串列 766 的虚置栅极 (G2)。SOI-PSCR 装置 764 另包含 P 型井与 N 型井接面。

在一般操作模式下, 第一节点 758 会保持在高电压准位。通过两个反向器操作后, 到第三节点 774 时会保持在一高电压准位, 使得 SOI-PSCR 装置 764 中的 PMOS (未显示) 处于关闭状态, 因此使得 SOI-PSCR 装置 764 关闭。而在遭受 ESD 电压的状况下, 若一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时, 一开始在第一节点 758 处会是一低电压准位, 而通过两个反向器操作后, 在第三节点 774 处会维持一低电压准位。SOI-PSCR 装置 764 中的 PMOS (未显示) 会开启, 并使电流通过 N 井而至 P 井以产生电压降。这导致一顺向偏压生成并开启 SOI-PSCR 装置 764。ESD 电流会经由 SOI-PSCR 装置 764 和二极管串列 766 (D1 至 DN) 流出。此二极管串列 766 的功用是在 SOI-PSCR 开启后, 提高维持电压以避免闭锁现象发生。其可防止 SOI-PSCR 装置 764 在一般操作模式下受到杂讯脉冲触发而造成闭锁。电阻 R2 768 则用来保护虚置栅极 (G2) 中的栅极绝缘体 (未显示)。

如图 11c 所示, SOI-PSCR 装置 814 中的 P⁺掺杂区域连接到第二节点

810, 栅极(G1)经由电阻(R2)818 连接到 V_{DD} 。在一般操作模式下, 第一节点 808 会保持在高电压准位。在经过反向器操作后, 第二节点 810 会保持在一低电压准位, 且没有顺向偏压发生于 SOI-PSCR 装置 814 中的 P3-N1 接面。因此, SOI-PSCR 装置 814 是处于关闭状态。而在遭受 ESD 电压的状况下, 当一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时, 一开始在第一节点 1808 处会是一低电压准位, 并使 PMOS 开启, NMOS 关闭。P3-N1 接面会受到触发而产生一顺向偏压以开启 SOI-PSCR 装置 814 及二极管串列 816, 而使 ESD 电流流过。电阻 R2 818 及 R3 826 是用来保护栅极绝缘体(未显示)。

如图 11d 所示, SOI-NSCR 装置 864 中的 N^+ 掺杂区域连接到第三节点 874, 栅极(G2)经由电阻(R3)876 连接到二极管串列 866。在一般操作模式下, 第一节点 858 会保持高电压准位。在经过两个反向器操作后, 第三节点 874 会亦保持在一高电压准位。此时, SOI-NSCR 装置 864 是处于关闭状态。而在而在遭受 ESD 电压的状况下, 当一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时, 一开始在第一节点 858 处会是一低电压准位, 经过两个反向器操作后, 第三节点 874 会亦保持一低电压准位。N3-P2 接面会被触发而产生一顺向偏压以开启 SOI-NSCR 装置 864 及二极管串列 866, 而使 ESD 电流流过。电阻 R2 868 及 R3 876 是用来保护栅极绝缘体(未显示)。

如图 11e, SOI-PSCR 装置 914 的栅极(G1)连接到第三节点 924, P^+ 掺杂区连接至第二节点 910。在一般操作模式下, 第一节点 908 会保持高电压准位, 并在经由一个反向器操作后使第二节点 910 维持在低电压准位。由于第二节点 910 的低电压准位, 因此 P-N 接面并未产生顺向偏压。而经由两个反向器操作后, 第三节点 924 会维持在高电压准位, 并使 SOI-PSCR 装置 914 中的 PMOS(未显示)关闭, 因此 SOI-PSCR 装置 914 为关闭。而在遭受 ESD 电压的状况下, 当一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时, 一开始在第一节点 908 处会是一低电压准位, 经过一个反向器

操作后,第二节点 910 会保持一高电压准位。由于第二节点 910 的高电压准位,因此 P-N 接面会产生顺向偏压。经过两个反向器操作后,第三节点 924 会为低电压准位,使 SOI-PSCR 装置 914 中的 PMOS(未显示)开启,以让电流通过 N 井而至 P 井产生电压降,并导致一顺向偏压以开启 SOI-PSCR 装置 914。由于 PMOS(未显示)开启以及 P3-N1 接面的顺向偏压,可降低开启 SOI-PSCR 装置 914 的反应时间。ESD 电流经由 SOI-PSCR 装置 914 及二极管串列(D1 至 DN)916 流出。此二极管串列 916 的功用是在 SOI-PSCR 开启后,提高 V_{DD} 与 V_{SS} 间的保持电压以避免闭锁现象发生。其可防止 SOI-PSCR 装置 914 在一般操作模式下受到杂讯脉冲触发而造成闭锁。电阻 R2 918 则可用来保护虚置栅极(G2)中的栅极绝缘体(未显示)。

如图 11f 所示,SOI-NSCR 装置 964 的栅极(G2)连接到第二节点 960。N+掺杂区域连接到第三节点 974。在一般操作模式下,第一节点 958 会保持高电压准位,并在经由第一个反向器操作后使第二节点 960 维持在低电压准位。在经过两个反向器操作后,第三节点 974 会为高电压准位。在此状态下,SOI-NSCR 装置 964 会关闭。而在遭受 ESD 电压的状况下,当一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时,一开始在第一节点 958 处会是一低电压准位,经过第一个反向器操作后,第二节点 960 会为一高电压准位。NMOS 会开启且通过 N 井而至 P 井的电流会使 SOI-NSCR 装置 964 开启。经过两个反向器操作后,第三节点 974 会为低电压准位。N3-P2 接面会被触发而产生顺向偏压,以开启 SOI-NSCR 装置 964,以及二极管串列(D1 至 DN)966,并使 ESD 电流流过。由于 NMOS 开启以及 N3-P2 接面的顺向偏压,这可降低开启 SOI-NSCR 装置 964 的反应时间。电阻 R2 968 则用来保护虚置栅极(G1)中的栅极绝缘体(未显示)。

如图 11g 所示,SOI-NSCR 装置 1014 的栅极(G2)连接到第二节点 1010, N+掺杂区和虚置栅极(G1)连接到第三节点 1024。在一般操作模式

下,第一节点 1008 会保持高电压准位,在经过第一个反向器后,第二节点 1010 会为低电压准位,因此 SOI-NSCR 装置 1014 中的 NMOS 会为关闭状态。由于经过两个反向器,第三节点 1024 会为高电压准位,因此, SOI-NSCR 装置 1014 为关闭状态。而在遭受 ESD 电压的状况下,当一个正的 ESD 脉冲通过 V_{DD} 和 V_{SS} 电路时,一开始在第一节点 1008 处会是一低电压准位,经过第一个反向器操作后,第二节点 1010 会为一高电压准位。 NMOS 会开启且电流会触发 SOI-NSCR 装置 1014 而将的开启。经过两个反向器操作后,第三节点 1024 会为低电压准位。N3-P2 接面会被触发而产生顺向偏压,以开启 SOI-NSCR 装置 1014,以及二极管串列 (D1 至 DN) 1016,并使 ESD 电流流过。虚置栅极 (G1) 亦会受到第三节点的触发。通过同时触发栅极 G1 和 G2 以及顺偏 N3-P2 接面,可降低开启 SOI-NSCR 装置 1014 的反应时间。

本发明提供了一种可应用于 SOI CMOS 制程的 ESD 防护的 SCR 结构。此外, SOI CMOS 制程中的多晶硅栅极亦可用来阻绝浅沟隔离区域。因此, 15 不只能使 SCR 装置更为紧密,亦可加速其开启以达到 ESD 防护目的。

相较于习知 ESD 防护的 SCR 结构的制作,本发明的 SOI-NSCR 以及 SOI-PSCR 可良好地整合于全空乏型 (fully-depleted) SOI CMOS 的制程或部分空乏型 (partially-depleted) SOI CMOS 制程中,以形成静电放电防护电路 (electrostatic discharge protection circuit)。此外, SOI CMOS 20 制程中的多晶硅栅极亦可用来取代习知 SCR 中的浅沟隔离区域,以使 SCR 装置更为紧密,同时有效加速 SCR 的开启速度。

以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修饰,皆应属本发明专利的涵盖范围。

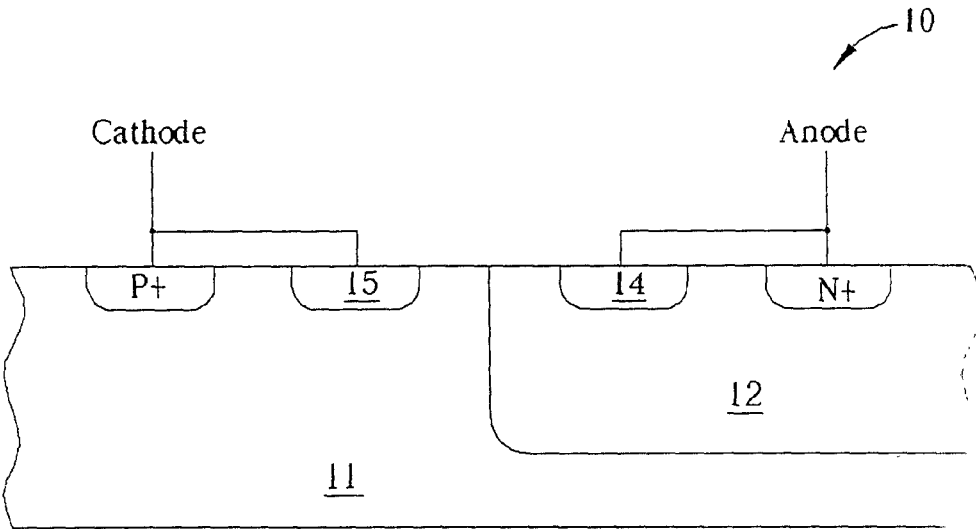


图 1

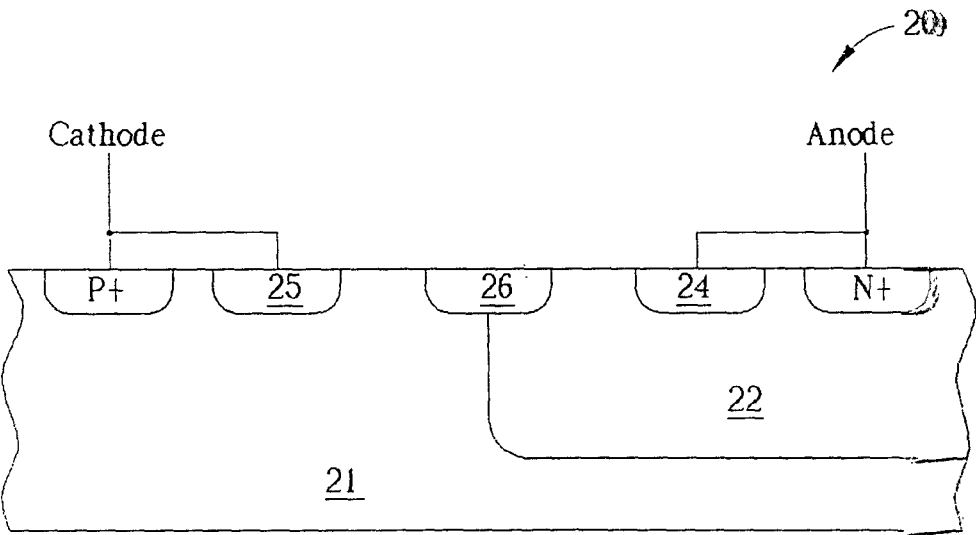


图 2

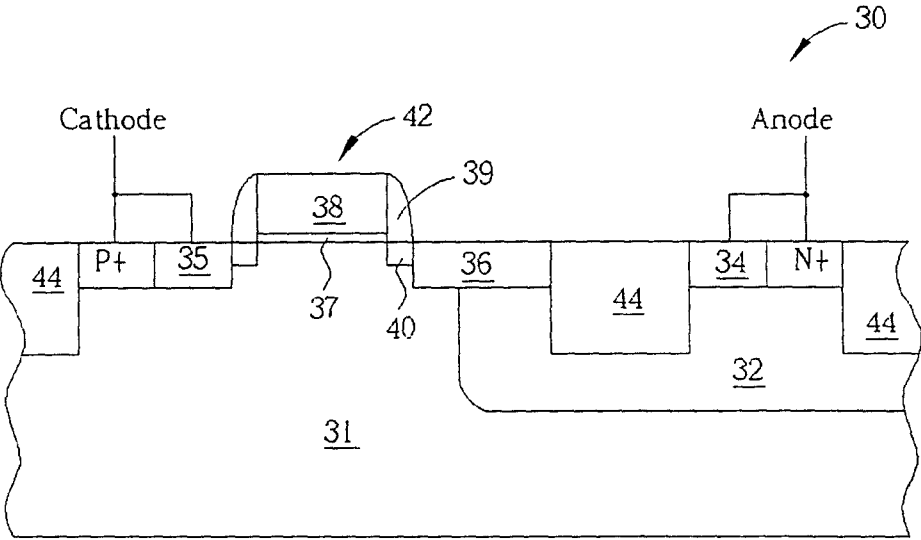


图 3

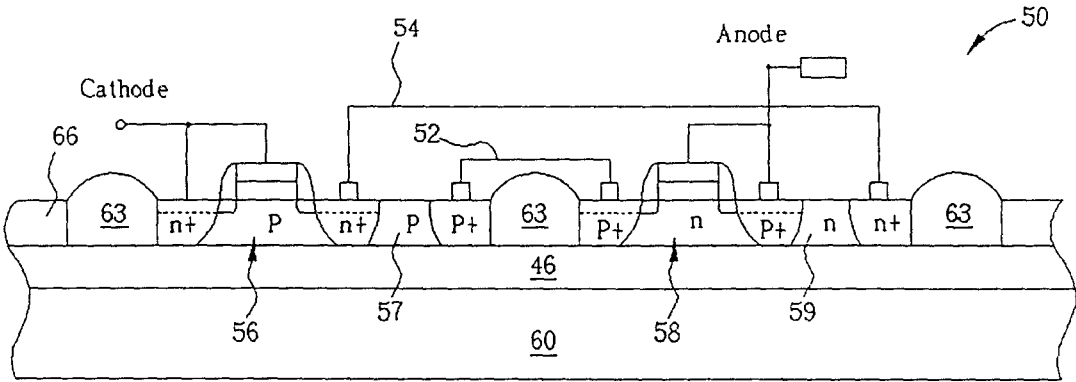


图 4

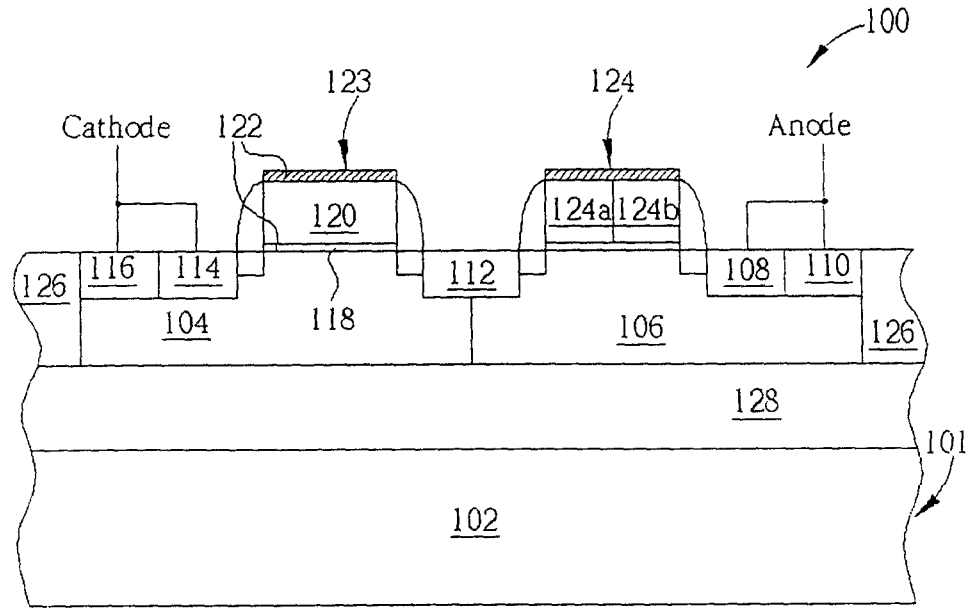


图 5a

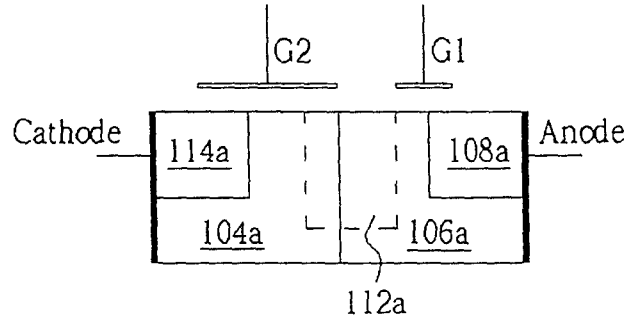


图 5b

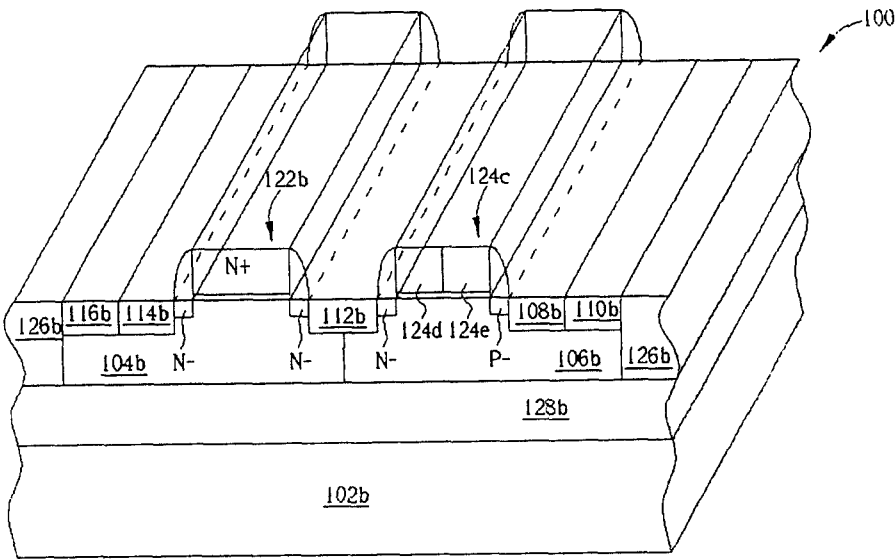


图 5c

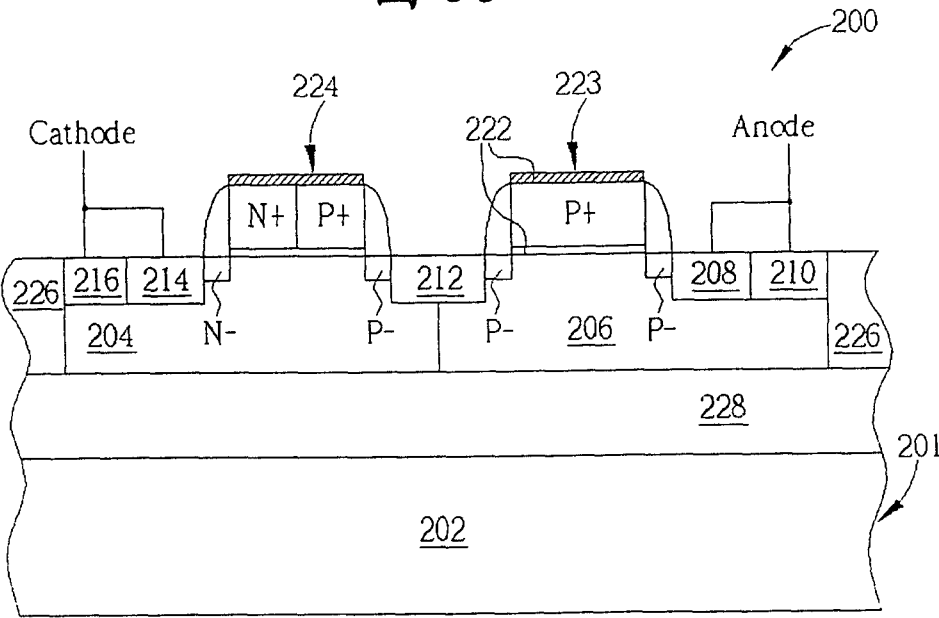


图 6a

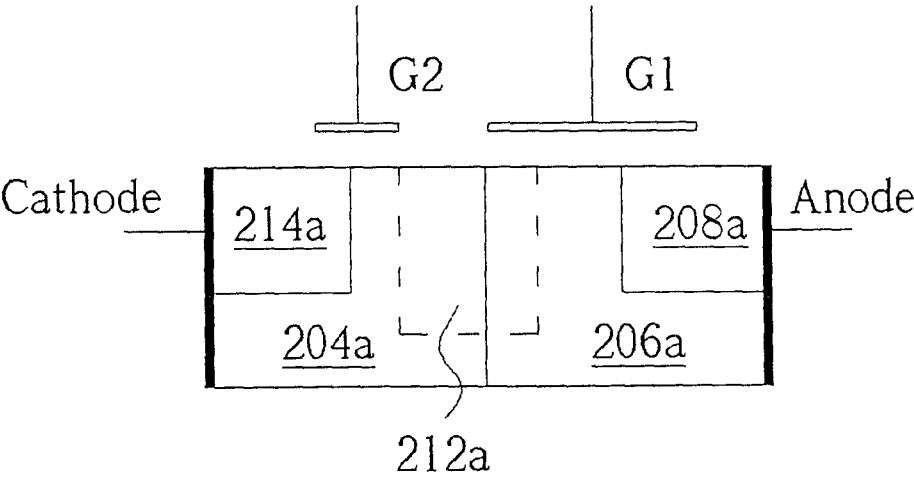


图 6b

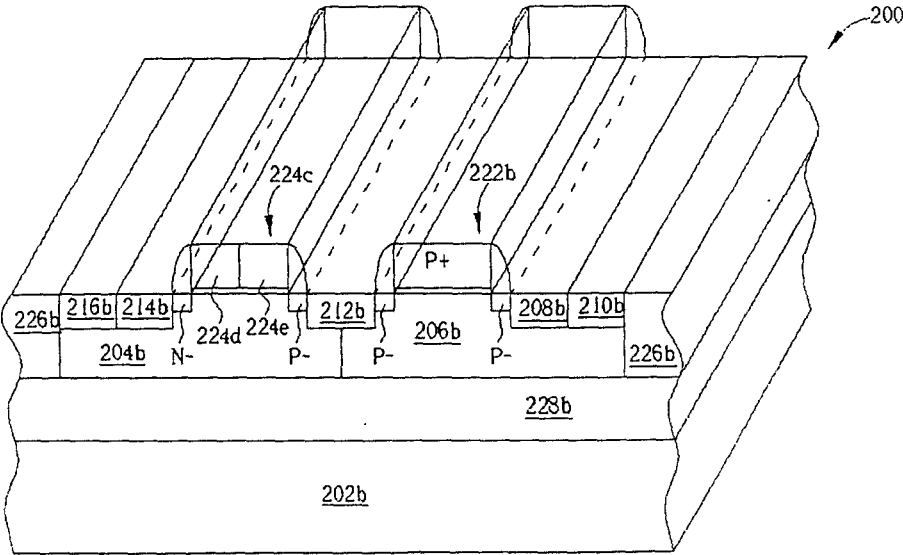


图 6c

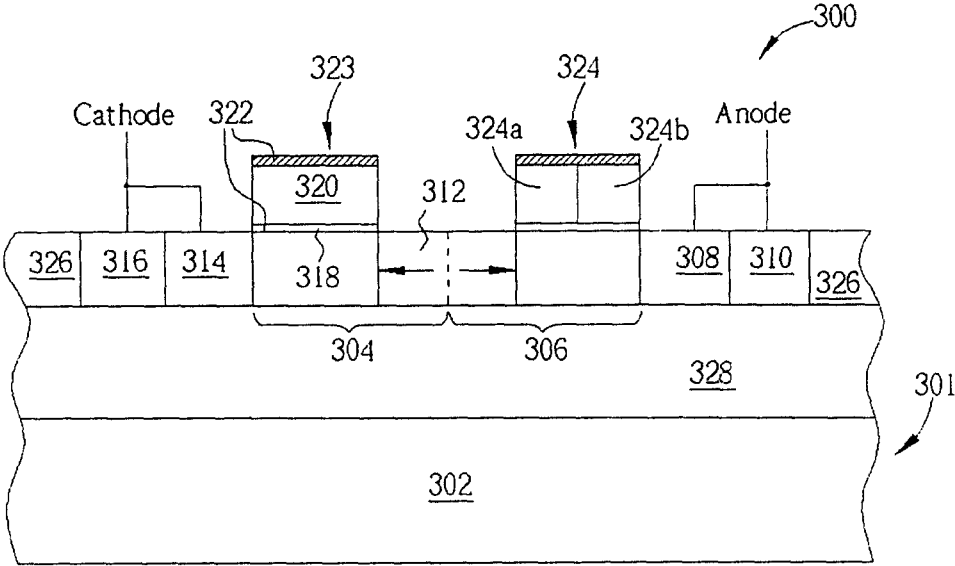


图 7a

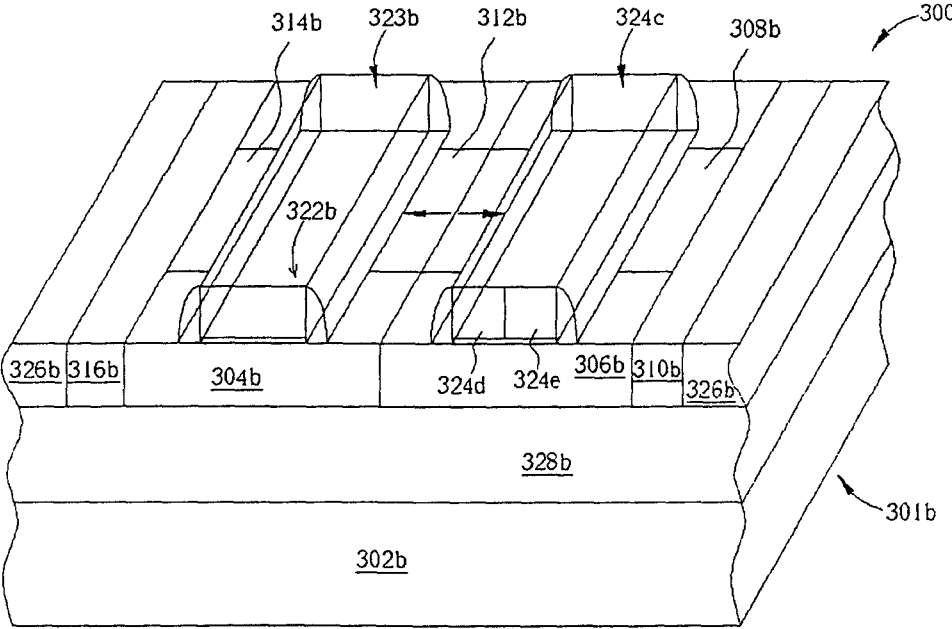


图 7b

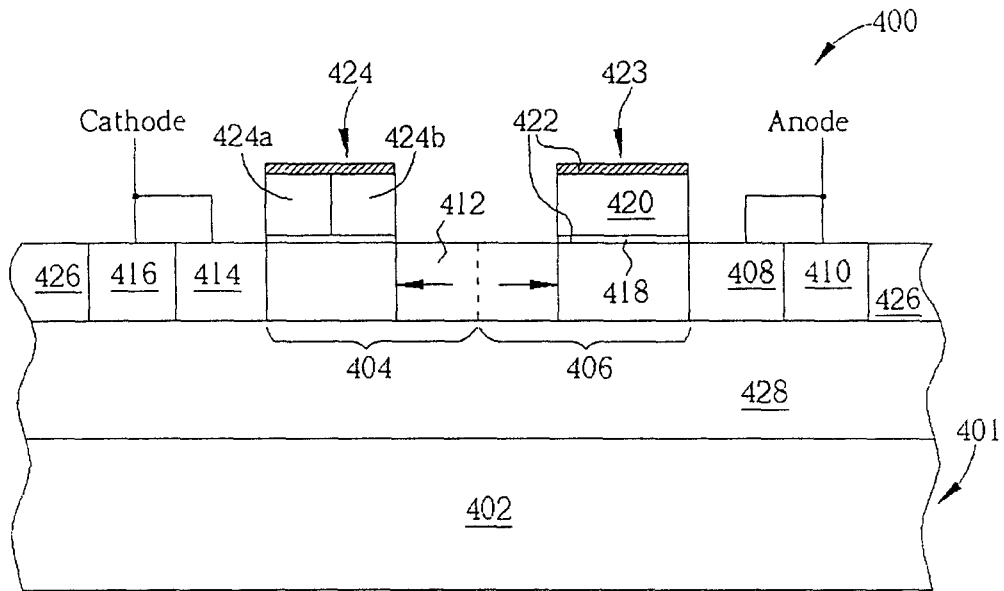


图 8a

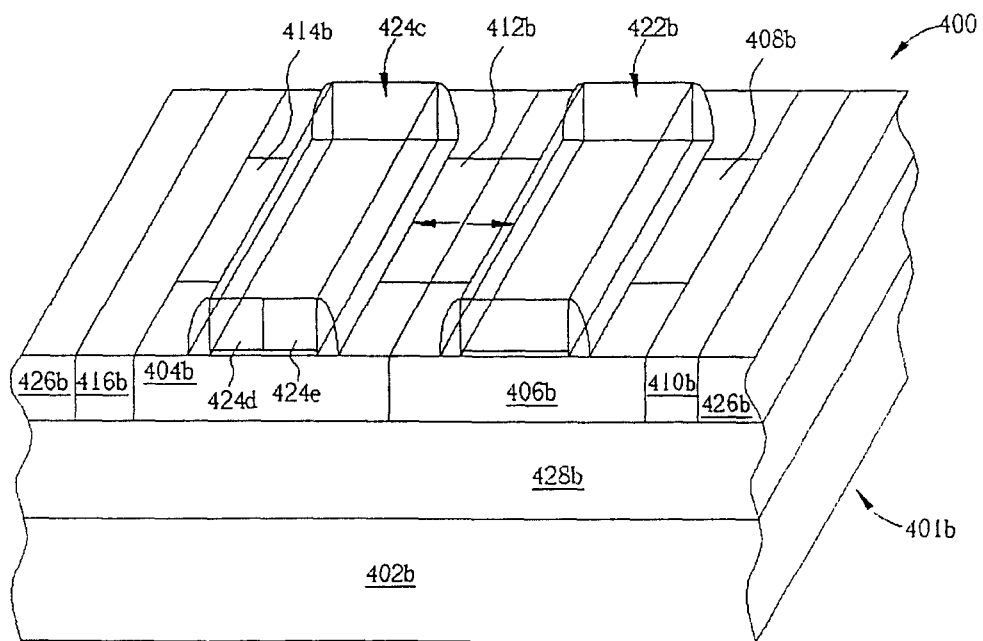


图 8b

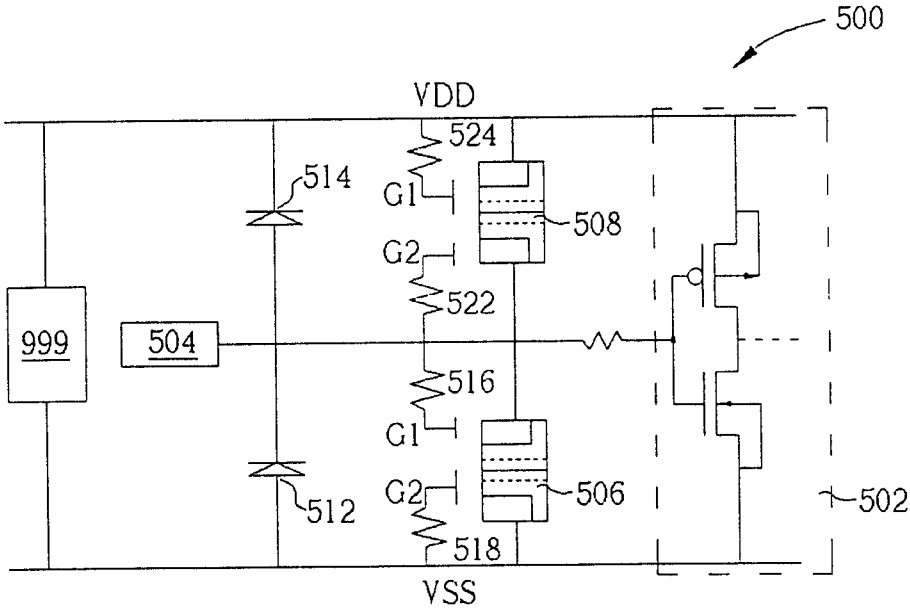


图 9

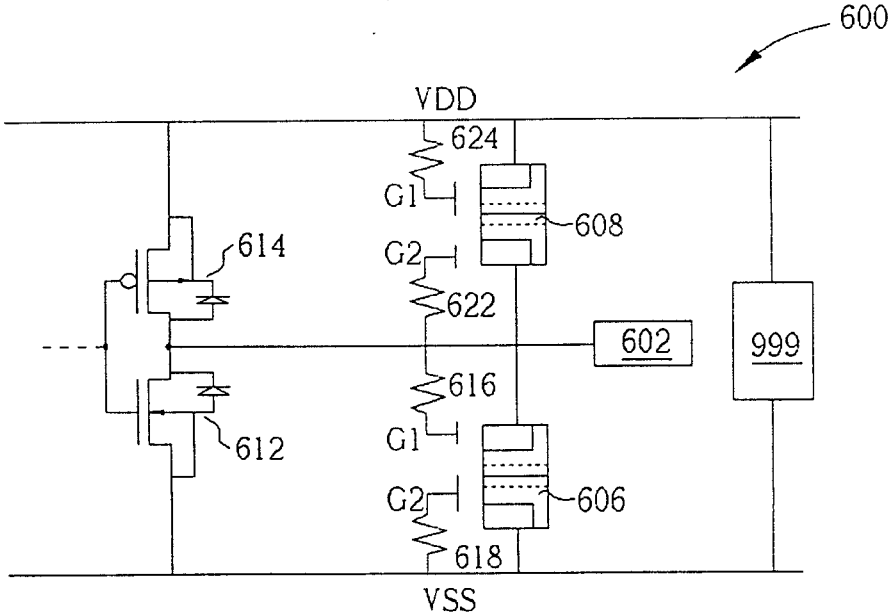


图 10

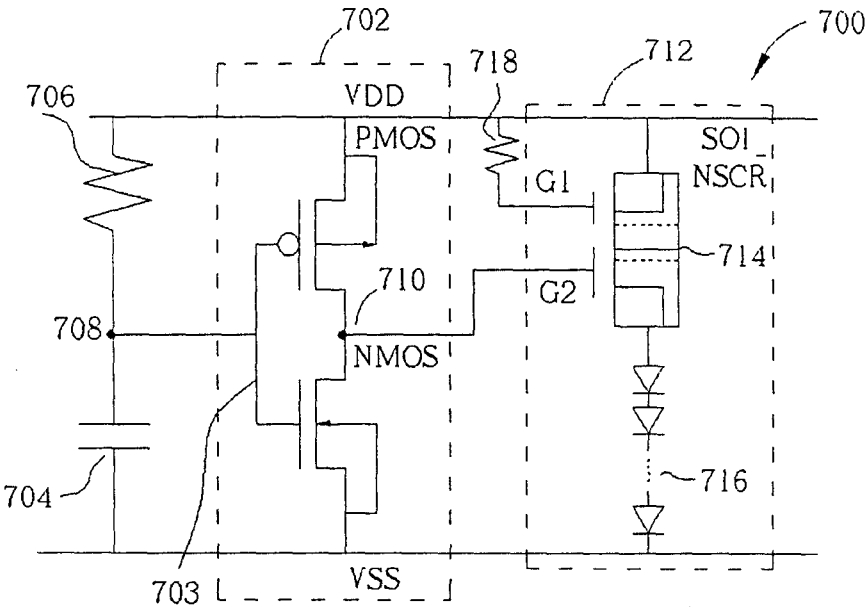


图 11a

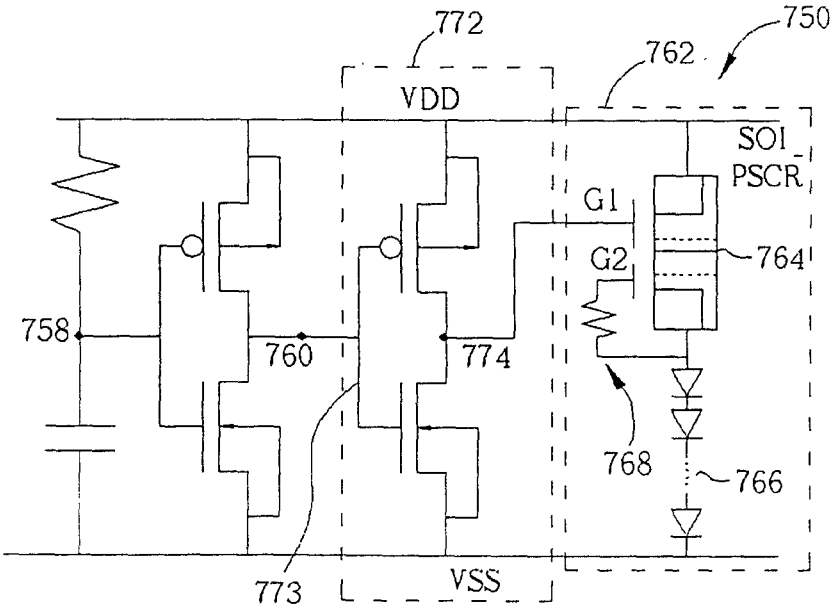


图 11b

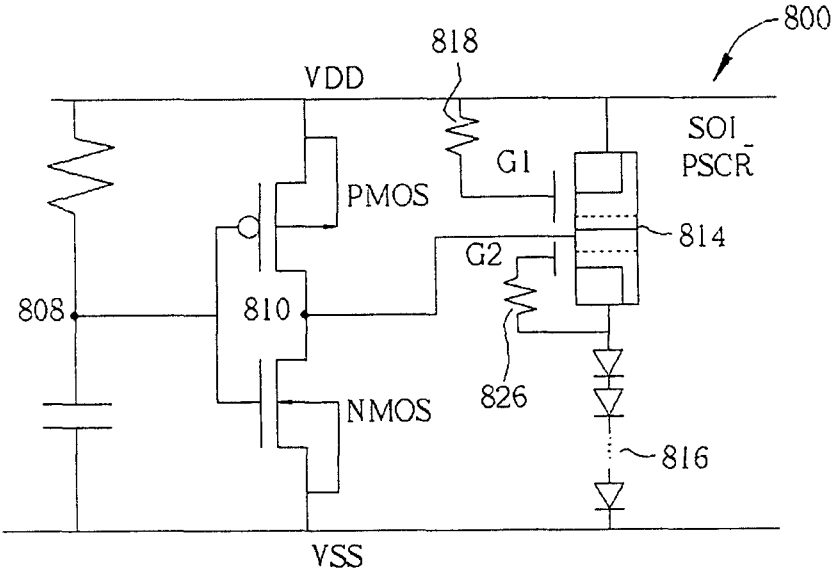


图 11c

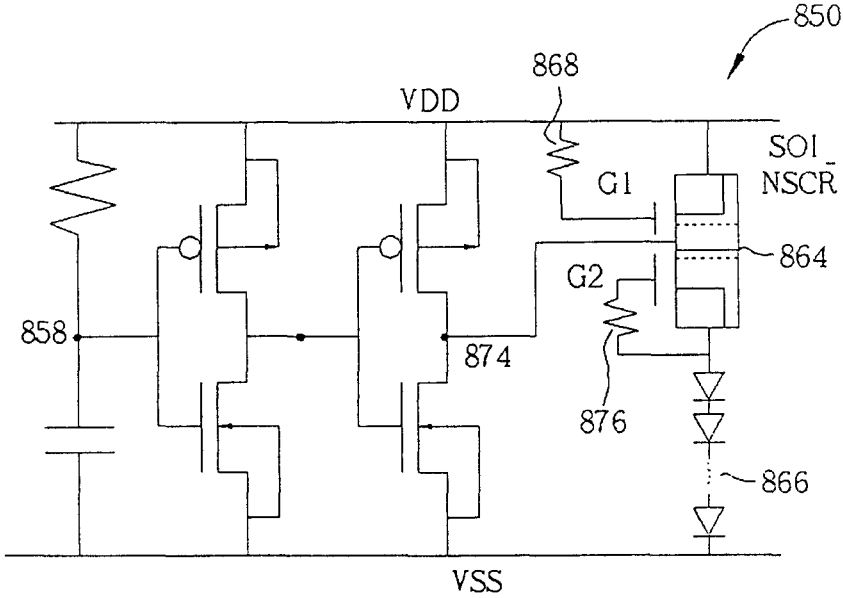


图 11d

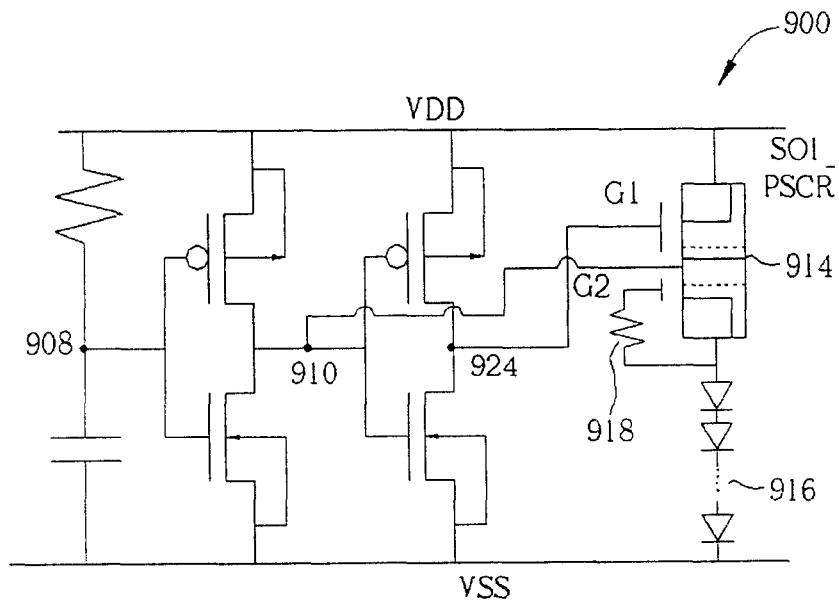


图 11e

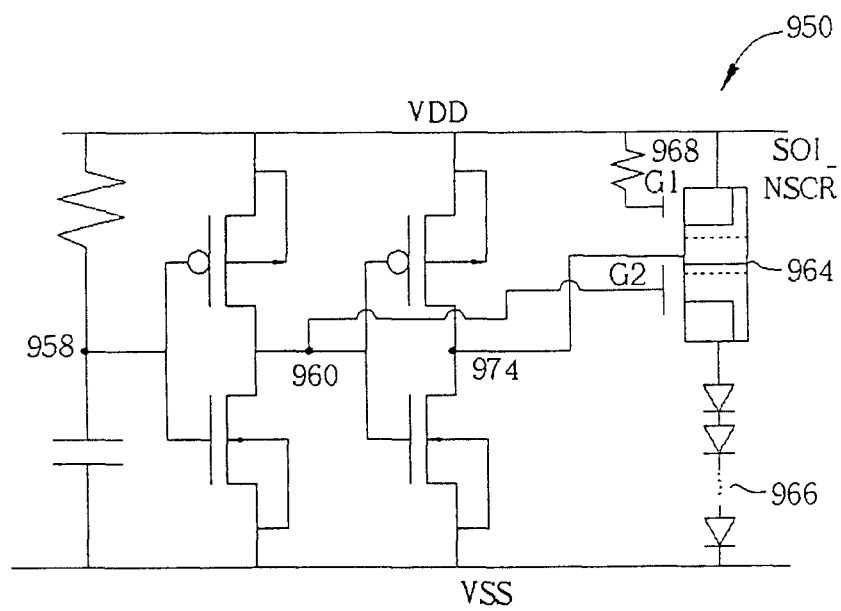


图 11f

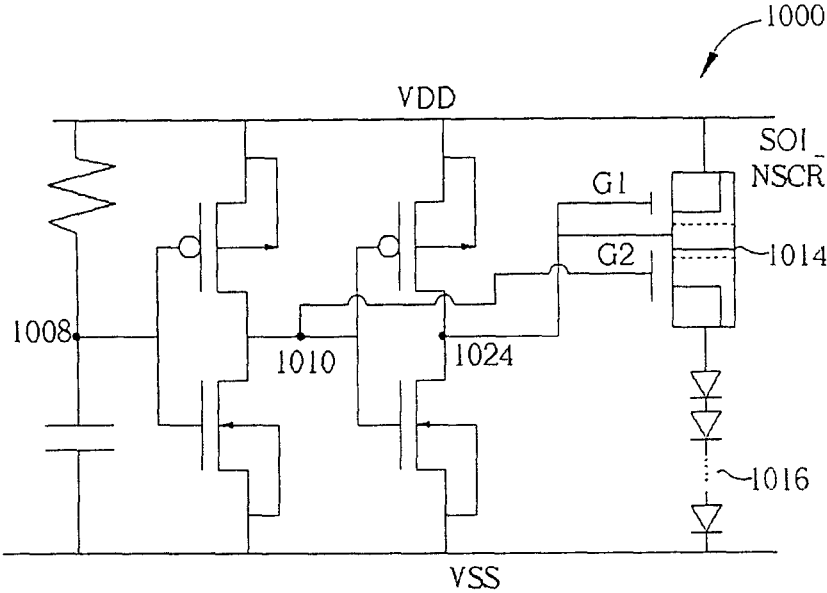


图 11g